

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014835454 **Image available**

WPI Acc No: 2002-656160/200270

XRAM Acc No: C02-184188

XRPX Acc No: N02-518621

Lightly-doped drain thin-film transistor for liquid crystal display, has silicon oxynitride layer and silicon nitride layer formed on gate electrodes formed in respective p-channel thin-film transistor

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: HAMADA T; KAJIWARA M; KOEZUKA J; MURAKAMI S; NAKAMURA O; TAKAYAMA T; YAMAZAKI S

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20020098628	A1	20020725	US 200251064	A	20020118	200270 B
CN 1366341	A	20020828	CN 2002105264	A	20020119	200282
JP 2002324808	A	20021108	JP 20029440	A	20020118	200305

Priority Applications (No Type Date): JP 200122062 A 20010130; JP 200111085 A 20010119

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20020098628	A1		42	H01L-021/00	
CN 1366341	A			H01L-027/04	
JP 2002324808	A		28	H01L-021/336	

Abstract (Basic): US 20020098628 A1

NOVELTY - The n-channel and p-channel thin-film transistors (652,653) are formed on a pixel portion (651) and a driving circuit (650) of a semiconductor substrate (601). A silicon nitride layer (618), polyimide layer (619), insulating layer (620) and silicon oxynitride layer (621) and a silicon nitride layer (626) are sequentially formed on the gate electrodes (608-611) that are formed in the respective n and p-channel transistors.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is included for the production of a semiconductor device.

USE - Lightly-doped drain thin-film transistor for liquid-crystal display (LCD) used in personal computers, video cameras, mobile computers, goggle-type displays, portable telephones, projectors, digital cameras, electronic books and recording medium.

ADVANTAGE - Prevents the occlusion and release of O₂, H₂O, alkali metal elements from the organic light-emitting element, thereby preventing contamination with alkali metal and an organic substance. Improves semiconductor device manufacturing efficiency, by improving the transistor characteristics using optimum driving conditions.

DESCRIPTION OF DRAWING(S) - The figure shows a cross-sectional view of the thin-film transistor.

Semiconductor substrate (601)

Gate electrodes (608-611)
Silicon nitride layers (618,626)
Polyimide layer (619)
Insulating layer (620)
Silicon oxynitride layer (621)
Driving circuit (650)
Thin-film transistors (652,653)

pp; 42 DwgNo 10/19

Title Terms: LIGHT; DOPE; DRAIN; THIN; FILM; TRANSISTOR; LIQUID; CRYSTAL;
DISPLAY; SILICON; OXYNITRIDE; LAYER; SILICON; NITRIDE; LAYER; FORMING;
GATE; ELECTRODE; FORMING; RESPECTIVE; P; CHANNEL; THIN; FILM; TRANSISTOR

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/336; H01L-027/04

International Patent Class (Additional): G02F-001/1368; H01L-021/20;

H01L-021/322; H01L-021/8238; H01L-027/08; H01L-027/092; H01L-029/78;

H01L-029/786

File Segment: CPI; EPI; EngPI

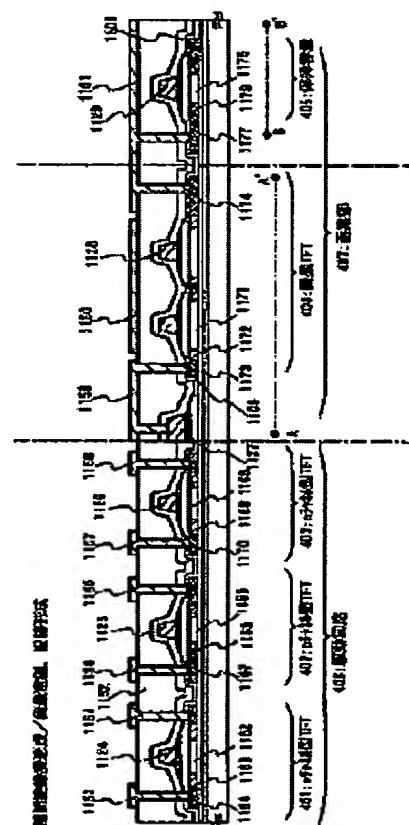
SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Patent number: JP2002324808
Publication date: 2002-11-08
Inventor: HAMADA TAKASHI; MURAKAMI TOMOHITO; YAMAZAKI SHUNPEI; NAKAMURA OSAMU; KAJIWARA MASAYUKI; HIZUKA JUNICHI; TAK TORU
Applicant: SEMICONDUCTOR ENERGY LAB CO LTD
Classification:
 - international: H01L21/336; G02F1/1368; H01L21/20; H01L21/322; H01L21/8238; H01L27/092; H01L29/786
 - european:
Application number: JP20020009440 20020118
Priority number(s):

Abstract of JP2002324808

PROBLEM TO BE SOLVED: To provide a semiconductor device whose manufacturing process is simple even when optimizing an FET structure to meet requirements for a pixel portion and a driving circuit, and to solve the problem of sudden off-current increase when forming the FET without sufficiently reducing a concentration of a catalyst chemical element in forming a crystalline semiconductor film by adding the catalyst chemical.

SOLUTION: The semiconductor device comprises a first n-channel TFT semiconductor layer including a first impurity region and a second impurity region formed outside a gate electrode, a second n-channel TFT semiconductor layer being arranged so that a part of it overlaps the gate electrode and including a third impurity region arranged outside the gate electrode, and a p-channel TFT semiconductor region including a fourth impurity region arranged so that a part of it overlaps the gate electrode and a fifth impurity region arranged outside of the gate electrode. The catalyst chemical element is moved from the crystalline semiconductor film formed by the catalyst chemical element to the semiconductor film including an inert gas chemical element via a barrier layer.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-324808

(P 2 0 0 2 - 3 2 4 8 0 8 A)

(43) 公開日 平成14年11月8日(2002.11.8)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/336		G02F 1/1368	2H092
G02F 1/1368		H01L 21/20	5F048
H01L 21/20		21/322	G 5F052
21/322		27/08	E 5F110
21/8238		29/78	616 A

審査請求 未請求 請求項の数26 O L (全28頁) 最終頁に続く

(21) 出願番号	特願2002-9440(P 2002-9440)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成14年1月18日(2002.1.18)	(72) 発明者	浜田 崇 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31) 優先権主張番号	特願2001-11085(P2001-11085)	(72) 発明者	村上 智史 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(32) 優先日	平成13年1月19日(2001.1.19)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(33) 優先権主張国	日本(J P)		
(31) 優先権主張番号	特願2001-22062(P2001-22062)		
(32) 優先日	平成13年1月30日(2001.1.30)		
(33) 優先権主張国	日本(J P)		

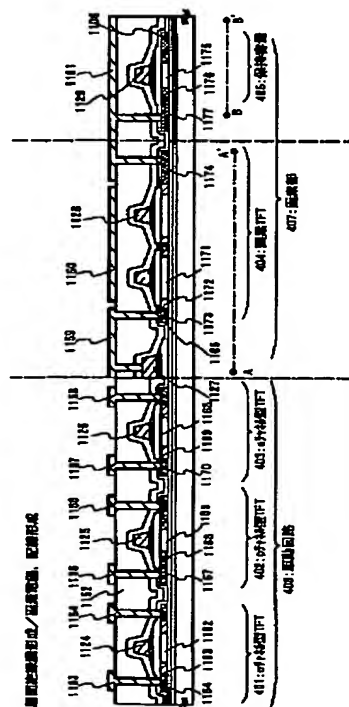
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 画素部や駆動回路の要求に合わせてTFTの構造を最適化しようとする製造工程が複雑となってしまう。また、触媒元素を添加して結晶質半導体膜を形成した場合、触媒元素の濃度を十分に低減しないでTFTを形成するとオフ電流が突発的に上がってしまう等の問題がある。

【解決手段】 第1のnチャネル型TFTの半導体層はゲート電極の外側に設けられた第1の不純物領域及び第2の不純物領域を有し、第2のnチャネル型TFTの半導体層はゲート電極と一部が重なるように設けられ、かつ、ゲート電極の外側に設けられた第3の不純物領域を有し、pチャネル型TFTの半導体層はゲート電極と一部が重なるように設けられた第4の不純物領域、ゲート電極の外側に設けられた第5の不純物領域を有する半導体装置であり、触媒元素を用いて形成された結晶質シリコン膜からバリア層を介して希ガス元素を含む半導体膜に触媒元素を移動させる。



【特許請求の範囲】

【請求項1】第1のnチャネル型TFTと第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、前記第1のnチャネル型TFTの半導体層に形成される第2の不純物領域と第3の不純物領域とはゲート電極の外側に設けられ、前記第2のnチャネル型TFTの半導体層に形成される第2の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第3の不純物領域はゲート電極の外側に設けられ、前記pチャネル型TFTの半導体層に形成される第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項2】第1のnチャネル型TFTと第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、前記第1のnチャネル型TFTの半導体層に形成され、LDD領域となる第2の不純物領域と、ソースまたはドレイン領域となる第3の不純物領域とはゲート電極の外側に設けられ、前記第2のnチャネル型TFTの半導体層に形成され、LDD領域となる第2の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第3の不純物領域はゲート電極の外側に設けられ、前記pチャネル型TFTの半導体層に形成され、LDD領域となる第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項3】画素部に設けられる第1のnチャネル型TFTと、駆動回路に設けられる第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、前記第1のnチャネル型TFTの半導体層に形成される第2の不純物領域と第3の不純物領域とはゲート電極の外側に設けられ、前記第2のnチャネル型TFTの半導体層に形成される第2の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第3の不純物領域はゲート電極の外側に設けられ、前記pチャネル型TFTの半導体層に形成される第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項4】画素部に設けられる第1のnチャネル型TFTと、駆動回路に設けられる第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、前記第1のnチャネル型TFTの半導体層に形成され、LDD領域となる第2の不純物領域と、ソースまたはドレイン領域となる第3の不純物領域とはゲート電極の外側に設けられ、前記第2のnチャネル型TFTの半導体層に形成され、LDD領域となる第2の不純物領域はゲート電極と一部が重なるように設けら

れ、かつ、ソースまたはドレイン領域となる第3の不純物領域はゲート電極の外側に設けられ、前記pチャネル型TFTの半導体層に形成され、LDD領域となる第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4のいずれか一において、前記第2のnチャネル型TFTがバッファ回路に設けられていることを特徴とする半導体装置。

【請求項6】絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加して、第1の加熱処理により結晶質半導体膜を形成する工程と、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を成膜する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項7】絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加して、第1の加熱処理により結晶質半導体膜を形成する工程と、前記結晶質半導体膜にレーザー光を照射する工程と、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を成膜する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項8】絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加して、第1の加熱処理により結晶質半導体膜を形成する工程と、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザー光を照射する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項9】絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加する工程と、前記非晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、加熱処理により、前記非晶質半導体膜を結晶化させ結晶質半導体膜を形成すると共に前記触媒元素を前記半導体膜に移動さ

せる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザ光を照射する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 10】絶縁表面上に結晶化を促進する触媒元素を添加する工程と、前記絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜上にバリア層を形成する工程と、前記非晶質半導体膜上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、加熱処理により、前記非晶質半導体膜を結晶化させ結晶質半導体膜を形成すると共に前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザ光を照射する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 11】絶縁表面上に結晶化を促進する触媒元素を添加する工程と、前記絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜上にバリア層を形成する工程と、前記非晶質半導体膜上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、前記半導体膜に希ガス元素を添加する工程と、加熱処理により、前記非晶質半導体膜を結晶化させ結晶質半導体膜を形成すると共に前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザ光を照射する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 12】請求項 6 乃至請求項 11 のいずれか一において、前記バリア層はオゾン水により形成されたケミカルオキサイド膜であることを特徴とする半導体装置の作製方法。

【請求項 13】請求項 6 乃至請求項 11 のいずれか一において、前記バリア層はプラズマ処理により前記非晶質半導体膜の表面を酸化して形成されることを特徴とする半導体装置の作製方法。

【請求項 14】請求項 6 乃至請求項 11 のいずれか一において、前記バリア層は酸素を含む雰囲気中で紫外線を照射してオゾンを生じさせ前記非晶質半導体膜の表面を酸化して形成されることを特徴とする半導体装置の作製方法。

【請求項 15】請求項 6 乃至請求項 11 のいずれか一において、前記バリア層は膜厚 $1 \sim 10 \text{ nm}$ で形成され、多孔質膜であることを特徴とする半導体装置の作製方法。

【請求項 16】請求項 6 乃至請求項 11 のいずれか一において、前記希ガス元素は He 、 Ne 、 Ar 、 Kr 、 Xe から選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項 17】請求項 6 乃至請求項 11 のいずれか一において、前記第 1 の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンア

ークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行うことを特徴とする半導体装置の作製方法。

【請求項 18】請求項 6 乃至請求項 11 のいずれか一において、前記第 1 の加熱処理は、電熱炉を用いて行われることを特徴とする半導体装置の作製方法。

【請求項 19】請求項 6 乃至請求項 11 のいずれか一において、前記第 2 の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行われることを特徴とする半導体装置の作製方法。

【請求項 20】請求項 6 乃至請求項 11 のいずれか一において、前記第 2 の加熱処理は、電熱炉を用いて行われることを特徴とする半導体装置の作製方法。

【請求項 21】請求項 6 乃至請求項 11 のいずれか一において、前記触媒元素は Fe 、 Ni 、 Co 、 Ru 、 Rh 、 Pd 、 Os 、 Ir 、 Pt 、 Cu 、 Au から選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項 22】絶縁表面上に半導体層を形成する第 1 の工程と、前記半導体層上に絶縁膜を形成する第 2 の工程と、前記絶縁膜上に第 1 形状の導電層を形成する第 3 の工程と、前記第 1 形状の導電層から第 2 形状の導電層を形成する第 4 の工程と、前記第 2 形状の導電層をマスクとして前記半導体層に一導電型の不純物元素を添加して第 1 の不純物領域を形成する第 5 の工程と、前記第 2 形状の導電層をマスクとして前記半導体層の選択された領域に一導電型の不純物元素を添加して第 2 及び第 3 の不純物領域を形成する第 6 の工程と、前記第 2 形状の導電層をマスクとして前記半導体層の選択された領域に一導電型とは反対の不純物元素を添加して第 4 及び第 5 の不純物領域を形成する第 7 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 23】絶縁表面上に半導体層を形成する第 1 の工程と、前記半導体層上に絶縁膜を形成する第 2 の工程と、前記絶縁膜上に第 1 形状の導電層を形成する第 3 の工程と、前記第 1 形状の導電層から第 2 形状の導電層を形成する第 4 の工程と、前記第 2 形状の導電層をマスクとして前記半導体層に第 1 のドーズ量で一導電型の不純物元素を添加して第 1 の不純物領域を形成する第 5 の工程と、前記第 2 形状の導電層をマスクとして前記半導体層の選択された領域に第 2 のドーズ量で一導電型の不純物元素を添加して第 2 及び第 3 の不純物領域を形成する第 6 の工程と、前記第 2 形状の導電層をマスクとして前記半導体層の選択された領域に一導電型とは反対の不純物元素を添加して第 4 及び第 5 の不純物領域を形成する第 7 の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 24】請求項 22 または請求項 23 において、

前記一導電型の不純物はn型を付与する不純物であることを特徴とする半導体装置の作製方法。

【請求項25】請求項22または請求項23において、前記半導体層は、非晶質半導体膜に触媒元素を添加して第1の加熱処理をして作製された結晶質半導体膜からなり、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含む半導体膜を形成する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、を有することを特徴とする半導体装置の作製方法。

【請求項26】請求項25において、前記希ガス元素は、He、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いた薄膜トランジスタ（Thin Film Transistor、以下TFTと記す）を用いた半導体装置及びその作製方法に関する。尚、本明細書において半導体装置とは、半導体特性を利用して機能する装置全般を指し、本発明により作製される半導体装置はTFTを用いて構成される半導体集積回路（マイクロプロセッサ、信号処理回路または高周波回路等）を有する液晶表示装置等を範疇に含んでいる。

【0002】

【従来技術】同一基板上にTFTを用いて形成された駆動回路と画素部を有する液晶表示装置がさかんに形成されてきている。TFTの活性層として半導体膜が用いられ、なかでも、活性層に結晶質珪素膜を用いることで高い電界効果移動度を実現してきた。そして、その技術は一枚のガラス基板上に画素部を形成する画素TFTと、画素部の周辺に設けられる駆動回路のTFTを形成したモノシリック型の液晶表示装置を可能とした。

【0003】TFTの電気的特性を決める要素は、半導体膜の品質、特に電界効果移動度は結晶性に依存しており、電界効果移動度はTFTの応答特性や、TFTを回路に用いて作製された液晶表示装置の表示能に直接関わってくる。

【0004】そこで、品質のよい結晶質半導体膜を形成するための方法がさかんに研究されている。例えば、一旦非晶質半導体膜を形成した後、レーザ光を照射して結晶化させる方法や、電熱炉を用いて加熱処理を行い結晶化させる方法が用いられている。しかし、このような方法で作製される半導体膜は多数の結晶粒から成り、その結晶方位は任意な方向に配向して制御することが出来ないでいる。そのために、単結晶の半導体と比較してキャリアの移動がスムーズに行われず、TFTの電気的特性

を制限する要因となっている。

【0005】これに対し、特開平7-183540号公報で開示される技術は、ニッケルなどの金属元素を添加してシリコン半導体膜を結晶化させる技術であり、当該金属元がいわば触媒となり結晶化を促進し、また、それに必要とする温度を低下させる効果があることが知られている。さらに、そればかりでなく結晶方位の配向性を高めることも可能となっている。触媒作用のある元素としてはFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることが知られている。

【0006】しかし、触媒作用のある金属元素（ここでは全てを含めて触媒元素と呼ぶ）を添加する故に、半導体膜の膜中或いは膜表面には、当該金属元素が残存し、TFTの電気的特性をばらつかせるなどの問題がある。例えば、TFTのオフ電流が増加し、個々の素子間でばらつくなどの問題がある。即ち、結晶化に対し触媒作用のある金属元素は、一旦結晶質半導体膜が形成されてしまえば、かえって不要な存在となっている。

【0007】そこで、本出願人は、燐を用いたゲッタリング技術を適応して、結晶化の為に添加した金属元素を500℃程度の加熱温度においても、半導体膜の特定の領域から除去する方法を開示した。例えば、TFTのソース・ドレイン領域にリンを添加して450～700℃の熱処理を行うことで、素子形成領域から結晶化の為に添加した金属元素を容易に除去することが可能である。このような技術の一例は、特許第3032801号に開示されている。

【0008】また、上記したような高い結晶方位性を有する良質な半導体膜を用いることにより、同一基板上に駆動回路と画素部とを一体形成したアクティブマトリクス型液晶表示装置が開発されるようになった。

【0009】アクティブマトリクス型液晶表示装置の駆動回路は、高い駆動能力（オン電流、Ion）およびホットキャリア効果による劣化を防ぎ信頼性を向上させることが求められる一方で、画素部は低いオフ電流（Ioff）が求められている。

【0010】オフ電流値を低減するためのTFT構造として、低濃度ドレイン（LDD:Lightly Doped drain）構造が知られている。この構造は、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域あるいはドレイン領域との間に、低濃度に不純物元素を添加したLDD領域を設けたものである。また、ホットキャリアによるオン電流値の劣化を防ぐのに有効である構造の中に、LDD領域の一部分がゲート電極と重なるLDD構造（以下、Gate-drain Overlapped LDDを省略してGOLDと呼ぶ）が知られている。

【0011】

【発明が解決しようとする課題】本出願人は、上記したように触媒元素を用いた低温結晶化プロセスを用いた

後、触媒元素を半導体膜からゲッタリングする方法を開示している。例えば、ゲッタリング作用を有する周期表の 1 5 族に属する元素（代表的にはリン）を高濃度にドーピングしたゲッタリングサイトを形成し、加熱処理を行って触媒元素をゲッタリング領域に移動させ、この加熱処理工程後にゲッタリングサイトを除去する方法や、後にソース領域またはドレイン領域となる領域に添加されたリンの活性化と同一の加熱処理工程で、半導体層中の触媒元素をソース領域またはドレイン領域にゲッタリングする（移動させる）方法などが考えられている。これらのゲッタリングは、5 5 0℃にて 4 時間程度の加熱処理を行うことで、結晶化の為に半導体膜に導入した金属元素を除去することを可能にしている。

【0 0 1 2】しかし、ゲッタリング作用を得るために半導体膜に添加されるリンの濃度は $1 \times 10^{20} / \text{cm}^3$ 以上、好ましくは $1 \times 10^{21} / \text{cm}^3$ であり、リンを半導体膜にドーピングするのに要する処理時間が問題となっていた。また、イオン注入法、あるいはイオンドープ法（本明細書では注入するイオンの質量分離を行わない方法のことを指して呼ぶ）による高濃度のリンの添加は、その後の半導体膜の再結晶化が困難になるといった第 1 の問題を有していた。

【0 0 1 3】また、駆動回路一体形成型のアクティブマトリクス型液晶表示装置において、駆動回路と画素部とに要求される性能が異なるため、それぞれの要求にあわせて TFT の構造を最適化しようとしたとき、例えばゲート電極を利用して自己整合的に LDD 領域等の不純物元素を含む領域を形成する手法では、基板サイズの大型化に伴って、その加工精度がどうしても悪くなってしまう、フォトリソを用いて形成しようとする、製造工程が複雑となり必要なフォトリソの数が必然的に増加してしまうという第 2 の問題を有している。

【0 0 1 4】以上のように本発明は、触媒元素を用いて得られる結晶質半導体膜から触媒元素（金属元素）を除去する方法に関する第 1 の問題を解決する技術、画素部や駆動回路の駆動条件にみあった TFT の構造を作り分けようとする、製造工程が複雑化するという第 2 の問題を解決する技術および第 1、第 2 の問題を同時に解決する技術を提供することを目的としている。

【0 0 1 5】

【課題を解決するための手段】本発明は、第 1 の n チャネル型 TFT と第 2 の n チャネル型 TFT と p チャネル型 TFT とを同一基板上に備えた半導体装置であって、前記第 1 の n チャネル型 TFT の半導体層に形成される第 1 の不純物領域と第 2 の不純物領域とはゲート電極の外側に設けられ、前記第 2 の n チャネル型 TFT の半導体層に形成される第 3 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第 3 の不純物領域はゲート電極の外側に設けられ、前記 p チャネル型 TFT の半導体層に形成される第 4 の不純物領域はゲート電極と

一部が重なるように設けられ、かつ、第 5 の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0 0 1 6】また、本発明は、第 1 の n チャネル型 TFT と第 2 の n チャネル型 TFT と p チャネル型 TFT とを同一基板上に備えた半導体装置であって、前記第 1 の n チャネル型 TFT の半導体層に形成され、LDD 領域となる第 1 の不純物領域と、ソースまたはドレイン領域となる第 2 の不純物領域とはゲート電極の外側に設けられ、前記第 2 の n チャネル型 TFT の半導体層に形成され、LDD 領域となる第 3 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第 3 の不純物領域はゲート電極の外側に設けられ、前記 p チャネル型 TFT の半導体層に形成され、LDD 領域となる第 4 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第 5 の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0 0 1 7】また、本発明は、画素部に設けられる第 1 の n チャネル型 TFT と、駆動回路に設けられる第 2 の n チャネル型 TFT と p チャネル型 TFT とを同一基板上に備えた半導体装置であって、前記第 1 の n チャネル型 TFT の半導体層に形成される第 1 の不純物領域と第 2 の不純物領域とはゲート電極の外側に設けられ、前記第 2 の n チャネル型 TFT の半導体層に形成される第 3 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第 3 の不純物領域はゲート電極の外側に設けられ、前記 p チャネル型 TFT の半導体層に形成される第 4 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第 5 の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0 0 1 8】また、本発明は、画素部に設けられる第 1 の n チャネル型 TFT と、駆動回路に設けられる第 2 の n チャネル型 TFT と p チャネル型 TFT とを同一基板上に備えた半導体装置であって、前記第 1 の n チャネル型 TFT の半導体層に形成され、LDD 領域となる第 1 の不純物領域と、ソースまたはドレイン領域となる第 2 の不純物領域とはゲート電極の外側に設けられ、前記第 2 の n チャネル型 TFT の半導体層に形成され、LDD 領域となる第 3 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第 3 の不純物領域はゲート電極の外側に設けられ、前記 p チャネル型 TFT の半導体層に形成され、LDD 領域となる第 4 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第 5 の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0 0 1 9】また、上記発明は、前記第 2 の n チャネル型 TFT がバッファ回路に設けられていることを特徴としている。

【0020】また、本発明は、絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加して、第1の加熱処理により結晶質半導体膜を形成する工程と、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を成膜する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、を有することを特徴としている。

【0021】また、本発明は、絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加して、第1の加熱処理により結晶質半導体膜を形成する工程と、前記結晶質半導体膜にレーザー光を照射する工程と、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を成膜する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、を有することを特徴としている。

【0022】また、本発明は、絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加して、第1の加熱処理により結晶質半導体膜を形成する工程と、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザー光を照射する工程と、を有することを特徴としている。

【0023】また、本発明は、絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜に結晶化を促進する触媒元素を添加する工程と、前記非晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、加熱処理により、前記非晶質半導体膜を結晶化させ結晶質半導体膜を形成すると共に前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザー光を照射する工程と、を有することを特徴としている。

【0024】また、本発明は、絶縁表面上に結晶化を促進する触媒元素を添加する工程と、前記絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜上にバリア層を形成する工程と、前記非晶質半導体膜上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、加熱処理により、前記非晶質半導体膜を結晶

化させ結晶質半導体膜を形成すると共に前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザー光を照射する工程とを有することを特徴としている。

【0025】また、本発明は、絶縁表面上に結晶化を促進する触媒元素を添加する工程と、前記絶縁表面にシリコンを主成分とする非晶質半導体膜を形成する工程と、前記非晶質半導体膜上にバリア層を形成する工程と、前記非晶質半導体膜上に希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含んだ半導体膜を形成する工程と、前記半導体膜に希ガス元素を添加する工程と、加熱処理により、前記非晶質半導体膜を結晶化させ結晶質半導体膜を形成すると共に前記触媒元素を前記半導体膜に移動させる工程と、前記半導体膜を除去する工程と、前記結晶質半導体膜にレーザー光を照射する工程とを有することを特徴としている。

【0026】また、上記発明において、前記バリア層はオゾン水により形成されたケミカルオキサイド膜であることを特徴としている。

【0027】また、上記発明において、前記バリア層はプラズマ処理により前記非晶質半導体膜の表面を酸化して形成されることを特徴としている。

【0028】また、上記発明において、前記バリア層は酸素を含む雰囲気中で紫外線を照射してオゾンを発生させ前記非晶質半導体膜の表面を酸化して形成されることを特徴としている。

【0029】また、上記発明において、前記バリア層は膜厚 $1 \sim 10 \text{ nm}$ で形成され、多孔質膜であることを特徴としている。

【0030】また、上記発明において、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴としている。

【0031】また、上記発明において、前記第1の加熱処理および前記第2の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行うことを特徴としている。

【0032】また、上記発明において、前記第1の加熱処理は、電熱炉を用いて行われることを特徴としている。

【0033】また、上記発明において、前記第2の加熱処理は、電熱炉を用いて行われることを特徴としている。

【0034】また、上記発明において、前記触媒元素はFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることを特徴としている。

【0035】また、本発明は、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成

10

20

30

40

50

する第2の工程と、前記絶縁膜上に第1形状の導電層を形成する第3の工程と、前記第1形状の導電層から第2形状の導電層を形成する第4の工程と、前記第2形状の導電層をマスクとして前記半導体層に一導電型の不純物元素を添加して第1の不純物領域を形成する第5の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型の不純物元素を添加して第2及び第3の不純物領域を形成する第6の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型とは反対の不純物元素を添加して第4及び第5の不純物領域を形成する第5の工程とを有することを特徴としている。

【0036】また、本発明は、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に第1形状の導電層を形成する第3の工程と、前記第1形状の導電層から第2形状の導電層を形成する第4の工程と、前記第2形状の導電層をマスクとして前記半導体層に第1のドーズ量で一導電型の不純物元素を添加して第1の不純物領域を形成する第5の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に第2のドーズ量で一導電型の不純物元素を添加して第2及び第3の不純物領域を形成する第6の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型とは反対の不純物元素を添加して第4及び第5の不純物領域を形成する第5の工程と、を有することを特徴としている。

【0037】また、上記発明において、前記一導電型の不純物はn型を付与する不純物であることを特徴としている。

【0038】また、上記発明において、前記半導体層は、非晶質半導体膜に触媒元素を添加して第1の加熱処理をして作製された結晶質半導体膜からなり、前記結晶質半導体膜上にバリア層を形成する工程と、前記バリア層上に希ガス元素を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含む半導体膜を形成する工程と、第2の加熱処理により前記触媒元素を前記半導体膜に移動させる工程と、を有することを特徴としている。

【0039】また、上記発明において、前記希ガス元素は、He、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴としている。

【0040】

【発明の実施の形態】（実施形態1）図1を用いて、非晶質半導体膜の全面に触媒作用のある金属元素を全面に添加して結晶化した後、希ガス元素（本実施形態においては、Ar）を含む半導体膜を成膜し、この膜をゲッタリングサイトとして用いてゲッタリングを行う方法について説明する。

【0041】図1（A）において、基板100はその材質に特段の限定はないが、好ましくはバリウムホウケイ

酸ガラスやアルミノホウケイ酸ガラス、或いは石英などを用いることができる。基板100の表面には、下地絶縁膜101として無機絶縁膜を10～200nmの厚さで形成する。好適な下地絶縁膜の一例は、プラズマCVD法で作製される酸化窒化シリコン膜であり、SiH₄、NH₃、N₂Oから作製される第1酸化窒化シリコン膜を50nmの厚さに形成し、SiH₄とN₂Oから作製される第2酸化窒化シリコン膜を100nmの厚さに形成したものを適用する。下地絶縁膜101はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

【0042】下地絶縁膜101の上に形成する非晶質半導体膜102は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタ法で10～100nmの厚さに形成する。良質な結晶を得るためには、非晶質半導体膜102に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ 以下に低減させておくことが望ましい。これらの不純物は非晶質半導体の結晶化を妨害する要因となり、また結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理（電界研磨処理）やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

【0043】その後、非晶質半導体膜102の表面に、結晶化を促進する触媒作用のある金属元素を添加する（図1（b））。半導体膜の結晶化を促進する触媒作用のある金属元素としては鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）、金（Au）などであり、これらから選ばれた一種または複数種を用いることができる。代表的にはニッケルを用い、重量換算で1～100ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層103を形成する。この場合、当該溶液の馴染みをよくするために、非晶質半導体膜102の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンなど半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0044】勿論、触媒含有層103はこのような方法に限定されず、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。また、触媒元素含有層103は非晶質半導体膜102を形成する前、即ち下地絶縁膜1

01 上に形成しておいても良い。

【0045】非晶質半導体膜 102 と触媒元素含有層 103 とを接触した状態を保持したまま結晶化のための加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーンズアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いた瞬間熱アニール (Rapid Thermal Annealing) 法 (以下、RTA 法と記す) を採用する。生産性を考慮すると、RTA 法を採用することが好ましいと考えられる。

【0046】RTA 法で行う場合には、加熱用のランプ光源を 1~60 秒、好ましくは 30~60 秒点灯させ、それを 1~10 回、好ましくは 2~6 回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には 600~1000℃、好ましくは 650~750℃程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板 100 はそれ自身が歪んで変形することはない。こうして、非晶質半導体膜を結晶化させ、図 1 (c) に示す結晶質半導体膜 104 を得ることができるが、このような処理で結晶化できるのは触媒元素含有層を設けることによりはじめて達成できるものである。

【0047】その他の方法としてファーンズアニール法を用いる場合には、加熱処理に先立ち、500℃にて 1 時間程度の加熱処理を行い、非晶質半導体膜 102 が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて 550~600℃、好ましくは 580℃で 4 時間の加熱処理を行い非晶質半導体膜 102 を結晶化させる。こうして、図 1 (c) に示す結晶質半導体膜 104 を形成する。

【0048】さらに結晶化率 (膜の全体積における結晶成分の割合) を高め、結晶粒内に残される欠陥を補修するためには、図 1 (d) で示すように結晶質半導体膜 104 に対してレーザー光を照射することも有効である。レーザー光照射処理は、パルス発振型または連続発振型の気体レーザーまたは固体レーザーを用いてもよい。気体レーザーとしては、エキシマレーザー、Ar レーザ、Kr レーザ等があり、固体レーザーとしては、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti : サファイアレーザーなどが挙げられる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状、矩形状もしくは楕円形状に集光し半導体膜に照射すればよい。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 Hz とし、レーザーエネルギー密度を 100~800 mJ/cm² (代表的には 200~700 mJ/cm²) とする。また、YAG レーザを用いる場合にはその第 2 高調波を用いパルス発振周波数 1~3

00 Hz とし、レーザーエネルギー密度を 300~1000 mJ/cm² (代表的には 350~800 mJ/cm²) とすると良い。そして幅 100~1000 μm、例えば 400 μm で線状に集光したレーザー光を基板全面に渡って照射すればよい。また、YVO₄ レーザを用いる場合、出力 10 W の連続発振の YVO₄ レーザから射出されたレーザー光を非線形光学素子により高調波に変換して、共振器の中に YVO₄ 結晶と非線形光学素子を入れて、高調波を射出してもよい。このとき光学系により矩形状または楕円形状にして照射すればよく、エネルギー密度は、0.01~100 MW/cm² 程度 (好ましくは、0.1~10 MW/cm²) が必要である。そして、0.5~2000 cm/s 程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。いずれにしても、上記したようなレーザーを用い、当該レーザー光を光学系にて 100~400 mJ/cm² に集光し、90~95% のオーバーラップ率をもって結晶質半導体膜 104 に対するレーザー処理を行っても良い。

【0049】このようにして得られる結晶質半導体膜 105 には、触媒元素 (ここではニッケル) が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 1×10^{19} /cm³ を越える濃度で残存している。勿論、このような状態でも TFT をはじめ各種半導体素子を形成することが可能であるが、以降に示す方法でゲッタリングにより当該元素を除去する。

【0050】まず、図 2 (a) に示すように結晶質半導体膜 105 の表面に薄い層 106 を形成する。本明細書において、結晶質半導体膜 105 上に設けた薄い層 106 は、後にゲッタリングサイトを除去する際に、第 1 の半導体膜 105 がエッチングされないように設けた層で、バリア層 106 ということにする。

【0051】バリア層 106 の厚さは 1~10 nm 程度とし、簡便にはオゾン水で処理することにより形成されるケミカルオキシサイドをバリア層としても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキシサイドを形成することができる。他の方法としては、酸化雰囲気中でのプラズマ処理や、酸素含有雰囲気中での紫外線照射によりオゾンを発生させて酸化処理を行っても良い。また、クリーンオープンを用い、200~350℃程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマ CVD 法やスパッタ法、蒸着法などで 1~5 nm 程度の酸化膜を堆積してバリア層としても良い。いずれにしても、ゲッタリング工程時に、触媒元素がゲッタリングサイト側に移動できて、ゲッタリングサイトの除去工程時には、エッチング液がしみこまない (結晶性半導体膜 105 をエッチング液から保護する) 膜、例えば、オゾン水で処理することにより形成されるケミカルオキシサイド膜、酸化シリコン膜 (SiO₂)、または多孔質

膜を用いればよい。

【0052】次いで、バリア層106上にスパッタ法でゲッタリングサイト107として、膜中に希ガス元素を $1 \times 10^{10} / \text{cm}^3$ 以上の濃度で含む第2の半導体膜（代表的には、非晶質シリコン膜）を25～250nmの厚さで形成する。後に除去されるゲッタリングサイト107は結晶質半導体膜105とエッチングの選択比を大きくするため、密度の低い膜を形成することが好ましい。

【0053】なお本実施形態では、成膜圧力を0.2～1.2Paまで0.2Pa間隔でふって順に成膜し、成膜された膜中のArの濃度を測定した結果を図9に示す。圧力以外の成膜条件は、ガス（Ar）流量を50sccm、成膜パワーを3kW、基板温度を150℃としている。

【0054】図9より、成膜圧力が低ければ低いほど、膜中のAr濃度が高くなりゲッタリングサイトとして好適な膜が成膜できることがわかる。この理由として、スパッタの成膜圧力が低い方が反応室内のArガスと反跳原子（ターゲット表面で反射されるAr原子）との衝突確率が小さくなるため、反跳原子が基板に入射しやすくなることがあげられる。従って、以上の実験結果より本実施形態の装置を用いた場合、成膜の圧力を0.2～1.0Paとし他の条件を表1に示した条件を採用すれば、希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは、 $1 \times 10^{20} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ 、より好ましくは $5 \times 10^{20} / \text{cm}^3$ の濃度で含み、ゲッタリング効果が得られる半導体膜をスパッタ法で成膜することができる。

【0055】なお、希ガス元素は半導体膜中でそれ自体は不活性であるため、結晶質半導体膜105に悪影響を及ぼすことはない。また、希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。本発明はゲッタリングサイトを形成するためにこれら希ガス元素をイオンソースとして用いること、またこれら元素が含まれた半導体膜を形成し、この膜をゲッタリングサイトとすることに特徴を有する。

【0056】ゲッタリングを確実に成し遂げるにはその後加熱処理をすることが必要となる。加熱処理はファーンズアニール法やRTA法で行う。ファーンズアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。また、RTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは700～750℃程度にまで加熱されるようにする。

【0057】ゲッタリングは、被ゲッタリング領域（捕獲サイト）にある触媒元素が熱エネルギーにより放出され、拡散によりゲッタリングサイトに移動する。従って、ゲッタリングは処理温度に依存し、より高温であるほど短時間でゲッタリングが進むことになる。本発明において、触媒元素がゲッタリングの際に移動する距離は図2（c）において矢印で示すように、半導体膜の厚さ程度の距離であり、比較的短時間でゲッタリングを完遂することができる。

【0058】なお、この加熱処理によっても $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ 、好ましくは $1 \times 10^{20} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ 、より好ましくは $5 \times 10^{20} / \text{cm}^3$ の濃度で希ガス元素を含む半導体膜107は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

【0059】希ガスを含む半導体膜（ゲッタリングサイト）107には、図14で示すように、希ガス存在領域109として3パターンが考えられる。図14（a）は、ゲッタリングサイト107の膜圧途中まで希ガス元素が存在している様子を示している。この場合、ゲッタリングされた触媒元素は、結晶質半導体膜105から離れた希ガス存在領域109に移動させることができる。図14（b）は、ゲッタリングサイト107膜中すべてに希ガス元素が存在している様子を示している。この場合、触媒元素の移動距離が短いため、短時間でゲッタリング処理を行うことができる。図14（c）は、ゲッタリングサイト107からバリア層106を通過して、結晶質半導体膜105にまで希ガス存在が達している様子を示している。原子サイズが異なる希ガス元素の影響で、バリア層106が多孔質になると考えられる。このため、触媒元素がゲッタリングサイトに移動しやすくなると考えられる。なお、希ガス元素は半導体膜中でそれ自体は不活性であるため、結晶質半導体膜105に悪影響を及ぼすことはない。スパッタ法またはプラズマCVD法のどちらを用いても、成膜のパワーを変化させれば、図14（a）～（c）の希ガス存在領域とすることができる。

【0060】ゲッタリング工程終了後、非晶質半導体107を選択的にエッチングして除去する。エッチングの方法としては、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド（化学式 $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層106はエッチングストッパーとして機能する。また、バリア層106はその後フッ酸により除去すれば良い。

【0061】こうして図2（c）に示すように触媒元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 以下にまで低減された結晶質半導体膜108を得ることができる。こうして形成さ

れた結晶質半導体膜 108 は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。このような結晶質半導体膜 108 は TFT の活性層のみでなく、フォトセンサや太陽電池の光電変換層にも適用することができる。

【0062】（実施形態 2）ゲッターリングサイトとして、希ガス元素を含む半導体膜を形成する方法として、プラズマ CVD 法を用いることもできる。

【0063】実施形態 1 に従い、バリア層 106 を形成した後、バリア層 106 上にプラズマ CVD 法で希ガス元素を含む半導体膜 107 を 25～250 nm の厚さで形成する。

【0064】材料ガスを $\text{Ar} : \text{SiH}_4 = 500 : 10$ sccm、成膜圧力を 33.3 Pa、パワーを 35 W、基板温度を 300℃として、希ガス元素を含む半導体膜 107 を形成した後、加熱処理を行い、結晶質半導体膜 105 中の触媒元素をゲッターリングサイト（希ガスを含む半導体膜）107 に移動させることができる。このようにして、ゲッターリングサイトの形成方法がプラズマ CVD 法によっても、触媒元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 以下にまで低減された結晶質半導体膜 108 を得ることができる。

【0065】なお、図 17 (c) に示すように、希ガスを含む半導体膜 107 を形成した後、さらにイオンドーピング法で希ガスを含む半導体膜 107 に対して希ガス元素（ヘリウム (He)、ネオン (Ne)、アルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) から選ばれた元素一種または複数種）を添加してもよい。このように、希ガスを含む半導体膜 107 を成膜した後、さらに原子サイズが異なる希ガスを添加する工程を行うことで、バリア層 106 を多孔質にすることもできる。さらに、半導体膜 107 により大きな歪みを生じさせ、結晶性半導体膜 105 とのエッチングの選択比を大きくすることができる。

【0066】（実施形態 3）図 7 は本発明の一実施形態を説明する図であり、加熱処理により結晶構造を有する半導体膜を形成した後、ゲッターリングを行い、さらにレーザー光など強光の照射により結晶性を向上させる方法について説明する。尚、図 7 では実施形態 1 において説明に用いた図 1、2 と共通する符号を用いて説明する。

【0067】図 7 (a) 及び図 7 (b) は実施の形態 1 と同様の工程であり、基板 100 上に下地絶縁膜 101、非晶質半導体膜 102、触媒元素含有層 103 を形成した後、加熱処理により結晶質半導体膜 104 を形成する。

【0068】その後、図 7 (c) に示すように、結晶質半導体膜 104 の表面にバリア層 106 を形成し、さらに希ガス元素を含む半導体膜 107 を形成する。半導体膜 107 は、成膜時に希ガス元素が $1 \times 10^{10} \sim 2.5$

$\times 10^{11} / \text{cm}^3$ の濃度で含まれるようにスパッタ法またはプラズマ CVD 法を用いて成膜される。

【0069】そして、図 7 (d) に示すように加熱処理をファーンেসアニール法や RTA 法で行う。ファーンেসアニール法で行う場合には、窒素雰囲気中にて 450～600℃で 0.5～12 時間の加熱処理を行う。また、RTA 法を用いる場合には、加熱用のランプ光源を 1～60 秒、好ましくは 30～60 秒点灯させ、それを 1～10 回、好ましくは 2～6 回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には 600～1000℃、好ましくは 700～750℃程度にまで加熱されるようにする。また、YAG レーザ、YLF レーザ、YVO₄ レーザの第 2 高調波（波長 532 nm）を照射してもゲッターリングを行うことができる。ゲッターリングは、捕獲サイトにある触媒元素が熱エネルギーにより放出され、拡散によりゲッターリングサイトに移動する。従って、ゲッターリングは処理温度に依存し、より高温であるほど短時間でゲッターリングが進むことになる。図 7 (d) において矢印で示すように、触媒元素が移動する方向は半導体膜の厚さ程度の距離であり、ゲッターリングは比較的短時間で完遂する。

【0070】なお、この加熱処理によっても、 $1 \times 10^{10} / \text{cm}^3 \sim 1 \times 10^{11} / \text{cm}^3$ 、好ましくは $1 \times 10^{10} / \text{cm}^3 \sim 1 \times 10^{11} / \text{cm}^3$ 、より好ましくは $5 \times 10^{10} / \text{cm}^3$ の濃度で希ガス元素を含む半導体膜 107 は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

【0071】その後、半導体膜 107 を選択的にエッチングして除去する。エッチングの方法としては、 CF_4 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド（化学式 $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層 106 はエッチングストッパーとして機能する。また、バリア層 106 はその後フッ酸により除去すれば良い。

【0072】さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するためには、図 7 (e) で示すように結晶構造を有する半導体膜 104 に対してレーザー光を照射することも有効である。レーザーには波長 400 nm 以下のエキシマレーザー光や、YAG レーザの第 2 高調波、第 3 高調波を用いる。いずれにしても、繰り返し周波数 10～1000 Hz 程度のパルスレーザー光を用い、当該レーザー光を光学系にて 100～400 mJ/cm² に集光し、90～95 % のオーバーラップ率をもって照射し、結晶質半導体膜 108 を形成する。

【0073】（実施形態 4）図 8 は本発明の一実施形態を説明する図であり、非晶質半導体膜の全面に触媒作用

のある金属元素を全面に添加し結晶化すると共にゲッターリングを同時に行う方法である。

【0074】まず、図8 (A) に示すように、下地絶縁膜301上に触媒元素含有層302を形成する。これは、触媒元素を含む水溶液またはアルコール液をスピナーで塗布しても良いし、スパッタ法、蒸着法、プラズマ処理などにより形成しても良い。

【0075】その後、図8 (B) に示すように非晶質半導体膜303を、プラズマCVD法や減圧CVD法、或いはスパッタ法で10~100 nmの厚さに形成する。さらにバリア層304を形成する。これらの形成方法は実施形態1と同様にする。

【0076】図8 (C) で示すように、その上に実施形態1で示したスパッタ法や実施形態2で示したプラズマCVD法で希ガス元素を $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ 、好ましくは、 $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 、より好ましくは $5 \times 10^{20} / \text{cm}^3$ の濃度含んだ半導体膜305を25~250 nmの厚さで形成する。代表的には非晶質シリコン膜を選択する。この半導体膜305は、後に除去するので、密度の低い膜としておくことが望ましい。

【0077】そして、図8 (D) に示すように加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーンズアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いたRTA法で行う。

【0078】RTA法で行う場合には、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000℃、好ましくは650~750℃程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板100はそれ自身が歪んで変形することはない。また、ファーンズアニール法を用いる場合には、加熱処理に先立ち、500℃にて1時間程度の加熱処理を行い、非晶質構造を有する半導体膜303が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて550~600℃、好ましくは580℃で4時間

の加熱処理を行い結晶化を行う。

【0079】この加熱処理により、触媒元素が非晶質構造を有する半導体膜303に染みだし、結晶化させるながら半導体膜305に向かって(図8 (D) の矢印の方向) 拡散する。これにより1回の加熱処理で結晶化とゲッターリングが同時に行われる。

【0080】その後、半導体膜305を選択的にエッチングして除去する。エッチングの方法としては、CIF₃によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムヒドロキシ

サイド(化学式 (CH₃)₄NOH)を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層304はエッチングストッパーとして機能する。また、バリア層304はその後フッ酸により除去すれば良い。

【0081】こうして図8 (E) に示すように触媒元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 以下にまで減じられた結晶構造を有する半導体膜(第1の半導体膜)306を得ることができる。この結晶質半導体膜306の結晶性を高めるためには、実施形態1と同様にレーザ光を照射しても良い。

【0082】こうして形成される結晶質半導体膜306は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。このような結晶質半導体膜306はTFTの活性層のみでなく、フォトセンサや太陽電池の光電変換層にも適用することができる。

【0083】

【実施例】(実施例1) 本発明の実施例を図1~図6を用いて説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT(nチャネル型TFT及びpチャネル型TFT)を同時に作製する方法について詳細に説明する。

【0084】図1 (a) において、基板100はガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0085】そして、図1 (a) に示すように基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜(SiO₂N_x)等の絶縁膜から成る下地絶縁膜101を形成する。代表的な一例は下地絶縁膜101として2層構造から成り、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される第1酸化窒化シリコン膜101aを50~100 nm、SiH₄、及びN₂Oを反応ガスとして成膜される第2酸化窒化シリコン膜101bを100~150 nmの厚さに積層形成する構造が採用される。

【0086】活性層とする半導体膜は、下地膜101上に形成した非晶質半導体膜を結晶化して得る。非晶質半導体膜は30~60 nmの厚さで形成し、その後、非晶質半導体膜102の表面に、結晶化を促進する触媒作用のある金属元素(本実施例では、ニッケル)を重量換算で1~100 ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層103を形成する(図1 (b))。

【0087】非晶質半導体膜102と触媒元素含有層103とを接触した状態を保持したまま結晶化のための加

熱処理を行う。本実施例では、RTA法で加熱処理を行う。加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000℃、好ましくは650~750℃程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板100はそれ自身が歪んで変形することはない。こうして、非晶質半導体膜を結晶化させ、図1(c)に示す結晶質半導体膜104を得ることができる。

【0088】さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するためには、図1(d)で示すように結晶質半導体膜104に対してレーザ光を照射する。レーザ光照射処理は、パルス発振型または連続発振型の気体レーザまたは固体レーザを用いてもよい。気体レーザとしては、エキシマレーザ、Arレーザ、Krレーザ等があり、固体レーザとしては、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザなどが挙げられる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザ光を光学系で線状、矩形状もしくは楕円形状に集光し半導体膜に照射すればよい。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100~800mJ/cm²（代表的には200~700mJ/cm²）とする。また、YAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1~300Hzとし、レーザエネルギー密度を300~1000mJ/cm²（代表的には350~800mJ/cm²）とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザ光を基板全面に渡って照射すればよい。また、YVO₄レーザを用いる場合、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換して、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出してもよい。このとき光学系により矩形状または楕円形状にして照射すればよく、エネルギー密度は、0.01~100MW/cm²程度（好ましくは、0.1~10MW/cm²）が必要である。そして、0.5~2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。いずれにしても、上記したようなレーザを用い、当該レーザ光を光学系にて100~400mJ/cm²に集光し、90~95%のオーバーラップ率をもって結晶質半導体膜104に対するレーザ処理を行っても良い。

【0089】次いで、結晶質半導体膜105中に含まれる触媒元素を除去するためにゲッタリング処理を行う。

図2(a)に示すように結晶質半導体膜105上にバリア層106を形成する。バリア層106としては、触媒元素（ニッケル）をゲッタリングサイトに貫通させることができ、さらにゲッタリングサイトの除去工程において用いるエッチング液がしみこまない多孔質膜を形成する。例えば、オゾン水で処理することにより形成されるケミカルオキサイド膜、酸化シリコン膜（SiO_x）を用いればよい。本明細書中では、このような性質を有する膜を特に多孔質膜という。

【0090】次いで、ゲッタリングサイトとして希ガス元素を含む半導体膜107を形成する。本実施例では、Arの流量を50sccm、成膜圧力を0.2Pa、パワー3kW、基板温度150℃として希ガス元素を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ 、好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 、より好ましくは $5 \times 10^{20} / \text{cm}^3$ の濃度で含む半導体膜107を成膜する。

【0091】その後RTA法を用いて加熱処理を行い、触媒元素をゲッタリングサイトに縦方向に移動させる。加熱条件としては、加熱用のランプ光源を1~60秒、好ましくは30~60秒点灯させ、それを1~10回、好ましくは2~6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600~1000℃、好ましくは700~750℃程度にまで加熱されるようにする。

【0092】ゲッタリング工程終了後、非晶質半導体107を選択的にエッチングして除去する。エッチングの方法としては、ClF₃によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキサイド（化学式（CH₃）₄NOH）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層106はエッチングストッパーとして機能する。また、バリア層106はその後フッ酸により除去すれば良い。

【0093】結晶化を改善するために、結晶化工程後、レーザ光を照射してもよい。その後、得られた結晶質半導体膜を所望の形状にエッチング処理して島状に分離された半導体層1102~1106を形成する。

【0094】また、半導体層1102~1106を形成した後、nチャネル型TFTのしきい値（V_{th}）を制御するためにp型を付与する不純物元素を添加してもよい。半導体に対してp型を付与する不純物元素には、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）など周期律第13族元素が知られている。

【0095】次いで、島状に分離された半導体層1102~1106を覆うゲート絶縁膜1107を形成する。ゲート絶縁膜1107は、プラズマCVD法やスパッタ法で形成し、その厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。勿論、このゲート絶縁膜は、シリコンを含む絶縁膜を単層或いは積層構造として用いることができる。

【0096】酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (TetraethylOrtho Silicate) と O_2 を混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、形成後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0097】ゲート絶縁膜1107上には膜厚20~100nmの第1の導電膜として窒化タンタル(TaN) 1108と、膜厚100~400nmの第2の導電膜としてタングステン(W) 1109とを積層形成する。ゲート電極を形成するための導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0098】次に、図3(B)に示すように光露光工程によりレジストからなるマスク1110~1115を形成し、ゲート電極及び配線を形成するための第1のエッチング処理を行う。エッチングにはICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いると良い。用いるエッチング用ガスに限定はないが、WやTa₂NのエッチングにはCF₄とCl₂とO₂とを用いることが適している。それぞれのガス流量比を25:25:10sccmとし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0099】この後、第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30sccmとし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0100】この第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層1117~1122(第1の導電層1117a~1122aと第2の導電層1117b~1122b)を形成する。1116はゲート絶縁膜であり、第1の形状の導電層1117~1122で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0101】次に、レジストからなるマスク1110~1115を除去せずに図3(C)に示すように第2のエッチング処理を行う。エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20:20:20sccmとし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。この第3のエッチング条件によりW膜をエッチングする。こうして、上記第3のエッチング条件によりW膜を異方性エッチングして第2の形状の導電層1124~1129(第1の導電層1124a~1129aと第2の導電層1124b~1129b)を形成する。1123はゲート絶縁膜であり、第1の形状の導電層1117~1122で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0102】W膜やTa₂N膜に対するCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTa₂Nのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₆、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa₂N膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、Ta₂NはFが増大しても相対的にエッチング速度の増加は少ない。また、Ta₂NはWに比較して酸化されやすいので、O₂を添加することでTa₂Nの表面が多少酸化される。Ta₂Nの酸化物はフッ素や塩素と反応しないため、さらにTa₂N膜のエッチング速度は低下する。従って、W膜とTa₂N膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa₂N膜よりも大きくすることが可能となる。

【0103】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付

与する不純物元素を添加する。ドーピング処理はイオンドーブ法、もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を 1.5×10^{14} atoms/cm²とし、加速電圧を60~100KVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。この場合、第2形状の導電層1124~1128がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域1130~1134が形成される。第1の不純物領域1130~1134には $1 \times 10^{16} \sim 1 \times 10^{17}$ /cm³の濃度範囲でn型を付与する不純物元素を添加する。

【0104】次いで、図4(A)に示すようにレジストからなるマスク1135、1136を形成し第2のドーピング処理を行う。マスク1135は駆動回路のpチャネル型TFTを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク1136は画素部のTFTを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクである。

【0105】第2のドーピング処理におけるイオンドーブ法の条件はドーズ量を 1.5×10^{16} atoms/cm²とし、加速電圧を60~100KVとしてリン

(P)をドーピングする。ここでは、第2形状の導電層1124~1128及びゲート絶縁膜1123の膜厚の差を利用して各半導体層に不純物領域を行う。勿論、マスク1135、1136で覆われた領域にはリン(P)は添加されない。こうして、第2の不純物領域1180~1182と第3の不純物領域1137~1141が形成される。第3の不純物領域1137~1141には $1 \times 10^{10} \sim 1 \times 10^{11}$ /cm³の濃度範囲でn型を付与する不純物元素を添加されている。また、第2の不純物領域はゲート絶縁膜の膜厚差により第3の不純物領域よりも低濃度に形成され、 $1 \times 10^{18} \sim 1 \times 10^{19}$ /cm³の濃度範囲でn型を付与する不純物元素を添加されることになる。

【0106】次いで、新たにレジストからなるマスク1142~1144を形成して図4(B)に示すように第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTを形成する半導体層にp型の導電型を付与する不純物元素が添加された第4の不純物領域1147及び第5の不純物領域1145、1146を形成する。第4の不純物領域は第2形状の導電層と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{19}$ /cm³の濃度範囲でp型を付与する不純物元素が添加されるようにする。また、第5の不純物領域1145、1146には $1 \times 10^{10} \sim 1 \times 10^{11}$ /cm³の濃度範囲でp型を付与する不純物元素が添加されるようにする。尚、第5の不純物領域1146には先の工程でリン(P)が添加された領域であるが、p型を付与する不純物元素の濃度がその1.5~3倍添加されていて導

電型はp型となっている。

【0107】なお、第5の不純物領域1148、1149及び第4の不純物領域1150は画素部において保持容量を形成する半導体層に形成される。

【0108】以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。第2の形状の導電層1124~1127はゲート電極となる。また、第2の形状の導電層1128は画素部において保持容量を形成する一方の電極となる。さらに、第2の形状の導電層1129は画素部においてソース配線を形成する。

【0109】次いで、ほぼ全面を覆う第1の層間絶縁膜1151を形成する。この第1の層間絶縁膜1151は、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとしてシリコンと水素を含む絶縁膜で形成する。その好適な一例は、プラズマCVD法により形成される膜厚150nmの酸化窒化シリコン膜である。勿論、第1の層間絶縁膜1151は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0110】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化はファーンズアニール炉またはクリーンオープンを用いて加熱処理を行うことで実現する。加熱処理の温度は窒素雰囲気中で400~700℃、代表的には410~500℃で行う。なお、この他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0111】上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む第3の不純物領域1137、1139、1140、及び第5の不純物領域1146、1149ゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。その結果、チャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0112】次いで、図5に示すように、第1の層間絶縁膜1151上に有機絶縁物材料から成る第2の層間絶縁膜1174を形成する。次いで、ソース配線1127に達するコンタクトホールと各不純物領域に達するコンタクトホールを形成する。

【0113】その後、Al、Ti、Mo、Wなどを用いて配線及び画素電極を形成する。例えば、膜厚50~250nmのTi膜と、膜厚300~500nmの合金膜(AlとTiとの合金膜)との積層膜を用いる。こうして、ソースまたはドレイン配線1153~1158、ゲート配線1160、接続配線1159、画素電極1161が形成される。

【0114】以上の様にして、nチャネル型TFT40

1、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、nチャネル型TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。尚、画素部407のTFTはpチャネル型TFTであっても良い。

【0115】駆動回路406のnチャネル型TFT401（第2のnチャネル型TFT）はチャネル形成領域1162、ゲート電極を形成する第2の形状の導電層1124と一部が重なる第2の不純物領域1163とソース領域またはドレイン領域として機能する第3の不純物領域1164を有している。pチャネル型TFT402にはチャネル形成領域1165、ゲート電極を形成する第2の形状の導電層1125と一部が重なる第4の不純物領域1166とソース領域またはドレイン領域として機能する第5の不純物領域1167を有している。nチャネル型TFT403（第2のnチャネル型TFT）にはチャネル形成領域1168、ゲート電極を形成する第2の形状の導電層1126と一部が重なる第2の不純物領域1169とソース領域またはドレイン領域として機能する第3の不純物領域1170を有している。このようなnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフト回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、nチャネル型TFT401または403の構造が適している。

【0116】画素部407の画素TFT404（第1のnチャネル型TFT）にはチャネル形成領域1171、ゲート電極を形成する第2の形状の導電層1128の外側に形成される第1の不純物領域1172とソース領域またはドレイン領域として機能する第3の不純物領域1173を有している。また、保持容量405の一方の電極として機能する半導体層には第4の不純物領域1176、第5の不純物領域1177が形成されている。保持容量405は、絶縁膜（ゲート絶縁膜と同一膜）を誘電体として、第2形状の電極1129と、半導体層1106とで形成されている。

【0117】このような画素部407の上面図を図6に示す。図6ではほぼ一画素分の上面図を示し、付与する符号は図5と共通なものとしている。また、A-A'及びB-B'線の断面構造が図5に対応している。図6の画素構造において、ゲート配線とゲート電極とを異なる層上に形成することにより、ゲート配線と半導体層を重畳させることが可能となり、ゲート配線に遮光膜としての機能が付加されている。また、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置され、遮光膜（ブラックマトリクス）の形成を省略できる構造としている。その結果、従来に比べ開

口率を向上させることが可能となっている。

【0118】本発明は、画素部及び駆動回路が要求する回路仕様に依じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能及び信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に依じてLDD構造に変化をもたせている。上述のように、駆動回路のnチャネル型TFTはゲート電極と一部が重なるLDD構造として、主にホットキャリア効果によるTFTの劣化を防ぐ構造としている。また、画素部のnチャネル型TFTはゲート電極と重ならないLDD構造として、主にオフ電流を低減することを重視した構造としている。本発明はこのような構造の異なるnチャネル型TFTに加え、pチャネル型TFTを同一基板上に形成する技術を提供し、それを6枚のフォトリソマスクで作製可能にしている。また、画素電極を透明導電膜で形成すると、フォトリソマスクは1枚増えるものの、透過型の表示装置を形成することができる。

【0119】（実施例2）本実施例では、ボトムゲート型TFTの作製工程に本発明を適応することも可能である。図15、16を用いてボトムゲート型TFTの作製工程について簡単に説明する。

【0120】基板50上に、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜を形成し（図示せず）、ゲート電極を形成するために導電膜を形成し、所望の形状にパターニングしてゲート電極51を得る。導電膜には、Ta、Ti、W、Mo、CrまたはAlから選ばれた元素またはいずれかの元素を主成分とする導電膜を用いればよい（図15（a））。

【0121】次いで、ゲート絶縁膜52を形成する。ゲート絶縁膜は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜の単層、もしくはいずれかの膜の積層構造にしてもよい（図15（b））。

【0122】次いで、非晶質半導体膜としてアモルファスシリコン膜53を熱CVD法、プラズマCVD法、減圧CVD法、蒸着法またはスパッタリング法により10～1150nm厚に形成する。なお、ゲート絶縁膜52とアモルファスシリコン膜53とは、同じ成膜法で形成することが可能であるため、両者を連続形成してもよい。連続形成することで、一旦大気に曝することがなくなり、表面の汚染を防ぐことができ、作製するTFTの特性バラツキやしきい値電圧の変動を低減することができる（図15（c））。

【0123】次いで、アモルファスシリコン膜53に結晶化を促進する触媒元素を塗布して、触媒元素含有層54を形成する。続いて、加熱処理を行い、結晶質シリコン膜55を形成する。

【0124】結晶化工程が終わったら、結晶質シリコン膜55上にバリア層56を形成する。バリア層56としては、実施形態1で示したような膜を用いればよい。なお、本実施例では、触媒元素（ニッケル）をゲッターリン

グサイトに貫通させることができ、さらにゲッターリングサイトの除去工程において用いるエッチング液がしみこまない多孔質膜、または、オゾン水で処理することにより形成されるケミカルオキサイド膜を形成する(図15(d))。

【0125】次いで、ゲッターリングサイトとして希ガス元素を含む半導体膜57を形成する。本実施例では、Arの流量を50sccm、成膜圧力を0.2Pa、パワー3kW、基板温度150℃として希ガス元素を $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ 、好ましくは $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ 、より好ましくは $5 \times 10^{20} / \text{cm}^3$ の濃度で含む半導体膜57を成膜する。

【0126】次いで、結晶性半導体膜55から触媒元素をゲッターリングサイト57に移動させる(ゲッターリングする)ための加熱処理を行う。加熱処理は、RTA法、ファーンズアニール法のいずれを用いてもよい。この加熱処理により、結晶性半導体膜55の触媒元素濃度を $1 \times 10^{17} / \text{cm}^3$ 以下にまで減少させることができる。ゲッターリング工程終了後、ゲッターリングサイト57およびバリア層56を除去する。

【0127】次いで、後の不純物添加工程において結晶質シリコン膜(チャネル形成領域)を保護する絶縁膜58を100~400nm厚で形成する。この絶縁膜は、不純物元素を添加する時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、さらに、微妙な濃度制御を可能にするために形成される。

【0128】次いで、レジストからなるマスクを用いて、後のnチャネル型TFTの活性層となる結晶質シリコン膜にn型を付与する不純物元素、後のpチャネル型TFTの活性層となる結晶質シリコン膜にp型不純物元素を添加して、ソース領域、ドレイン領域、LDD領域を形成する。

【0129】次いで、結晶質シリコン膜に添加された不純物元素を活性化する工程を行う。続いて、結晶質シリコン膜上の絶縁膜を除去し、結晶質シリコン膜を所望の形状にパターニングした後、層間絶縁膜59を形成する。層間絶縁膜は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等の絶縁膜から500~1500nm厚で形成する。その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成して、各TFTを電氣的に接続するための配線60を形成する。

【0130】以上のように本発明は、TFTの形状に関わることなく適応することができる。

【0131】(実施例3)図10はアクティブマトリクス駆動方式の発光装置の構造を示す一例である。ここで示す駆動回路部650のnチャネル型TFT652、pチャネル型TFT653、及び画素部651のスイッチング用TFT654、電流制御用TFT655は、本発明を用いて、実施例1と同様にして作製されるものであ

る。

【0132】ゲート電極608~611の上層には、窒化シリコン、酸化窒化シリコンからなる第1の層間絶縁膜618が形成され、保護膜として用いている。さらに平坦化膜として、ポリイミドまたはアクリルなど有機樹脂材料から成る第2の層間絶縁膜619を形成している。

【0133】駆動回路部650の回路構成は、ゲート信号側駆動回路とデータ信号側駆動回路とで異なるがここでは省略する。nチャネル型TFT652及びpチャネル型TFT653には配線612、613が接続し、これらのTFTを用いてシフトレジスタやラッチ回路、バッファ回路などを形成している。

【0134】画素部651では、データ配線614がスイッチング用TFT654のソース側に接続し、ドレイン側の配線615は電流制御用TFT655のゲート電極611と接続している。また、電流制御用TFT655のソース側は電源供給配線617と接続し、ドレイン側の電極616が発光素子の陽極と接続している。

【0135】これらの配線上には窒化シリコンなどの有機絶縁材料から成る第3の層間絶縁膜620を形成している。有機樹脂材料は吸湿性があり、 H_2O を吸蔵する性質を持っている。その H_2O が再放出されると有機化合物に酸素を供給し、有機発光素子を劣化させる原因となるので、 H_2O の吸蔵及び再放出を防ぐために、第3の層間絶縁膜620の上に窒化シリコンまたは酸化窒化シリコンから成る第4絶縁膜621を形成する。或いは、第3の層間絶縁膜620を省略して、第4絶縁膜621の一層のみでこの層を形成することも可能である。

【0136】有機発光素子627は第4絶縁膜621上に形成し、ITO(酸化インジウム・スズ)などの透明導電性材料で形成する陽極622、正孔注入層、正孔輸送層、発光層などを有する有機化合物層624、MgAgやLiFなどのアルカリ金属またはアルカリ土類金属などの材料を用いて形成する陰極625とから成っている。有機化合物層624の詳細な構造は任意なものとする。

【0137】有機化合物層624や陰極625はウェット処理(薬液によるエッチングや水洗などの処理)を行うことができないので、陽極622に合わせて、第4絶縁膜621上に感光性樹脂材料で形成される隔壁層623を設ける。隔壁層623は陽極622の端部を被覆するように形成する。具体的には、隔壁層623はネガ型のレジストを塗布し、ベーク後に1~2 μm 程度の厚さとなるように形成する。その後、所定のパターンを設けたフォトマスクを用い紫外線を照射して露光する。透過率の悪いネガ型のレジスト材料を用いると、膜の厚さ方向で感光される割合が変化し、これを現像するとパターンの端部を逆テーパ型の形状とすることができる。勿論、このような隔壁層は、感光性のポリイミドなどを用

いて形成することも可能である。

【0138】陰極625は、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム

(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。さらにその上層には、窒化シリコンまたは、DLC膜で第5絶縁膜626を2~30nm、好ましくは5~10nmの厚さで形成する。DLC膜はプラズマCVD法で形成可能であり、100℃以下の温度で形成しても、被覆性良く隔壁層623の端部を覆って形成することができる。DLC膜の内部応力は、酸素や窒素を微量に混入させることで緩和することが可能であり、保護膜として用いることが可能である。そして、DLC膜は酸素をはじめ、CO、CO₂、H₂Oなどのガスバリア性が高いことが知られている。第5絶縁膜626は、陰極625を形成した後、大気解放しないで連続的に形成することが望ましい。陰極625と有機化合物層624との界面状態は有機発光素子の発光効率に大きく影響するからである。

【0139】このように、隔壁層623に接することなく有機化合物層624、陰極層625を形成し有機発光素子を形成することで熱応力によるクラックの発生を防ぐことが可能となる。また、有機化合物層624は酸素やH₂Oを最も嫌うため、それをブロッキングするために窒化シリコンまたは酸化窒化シリコンまたはDLC膜626が形成されている。また、これらは有機化合物層624が有するアルカリ金属元素を外に出さないための機能も有している。

【0140】図10ではスイッチング用TF T654をマルチゲート構造とし、電流制御用TF T655にはゲート電極とオーバーラップする低濃度ドレイン(LDD)を設けている。多結晶シリコンを用いたTF Tは、高い動作速度を示すが故にホットキャリア注入などの劣化も起こりやすい。そのため、画素内において機能に応じて構造の異なるTF T(オフ電流の十分に低いスイッチング用TF Tと、ホットキャリア注入に強い電流制御用TF T)を形成することは、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)表示装置を作製する上で非常に有効である。

【0141】図10で示すように、TF T654、655を形成する半導体膜の下層側(基板601側)には、下地絶縁膜602が形成されている。その反対の上層側には第1の層間絶縁膜618が形成されている。一方、有機発光素子627の下層側には第4絶縁膜621が形成されている。上層側には第5絶縁膜626が形成される。TF T654、655が最も嫌うナトリウムなどのアルカリ金属は、汚染源として基板601や有機発光素子627が考えられるが、下地絶縁膜602と第1の層間絶縁膜618で囲むことによりブロッキングしてい

る。一方、有機発光素子627は酸素やH₂Oを最も嫌うため、それをブロッキングするために第4絶縁膜621、第5絶縁膜626が形成されている。これらは有機発光素子627が有するアルカリ金属元素を外に出さないための機能も有している。

【0142】図10で示すような構造の有機発光装置において、効率的な作製方法の一例は、第4絶縁膜621、ITOに代表される透明導電膜で作製される陽極622をスパッタ法により連続成膜する工程を採用できる。有機絶縁膜からなる第2の層間絶縁膜619の表面に著しいダメージを与えることなく、緻密な窒化シリコン膜または酸化窒化シリコン膜を形成するにはスパッタ法は適している。

【0143】以上のように、TF Tと有機発光装置を組み合わせて画素部を形成し、発光装置を完成させることができる。このような発光装置はTF Tを用いて駆動回路を同一基板上に形成することもできる。TF Tの主要構成要素である半導体膜、ゲート絶縁膜及びゲート電極は、その下層側及び上層側を窒化シリコンまたは酸化窒化シリコンから成るブロッキング層と保護膜により囲むことにより、アルカリ金属や有機物の汚染を防ぐ構造を有している。一方有機発光素子はアルカリ金属の一部を含み、窒化シリコンまたは酸化窒化シリコンから成る保護膜と、窒化シリコンまたは炭素を主成分とする絶縁膜から成るガスバリア層とで囲まれ、外部から酸素やH₂Oが浸入することを防ぐ構造を有している。

【0144】このように、本発明のゲッターリング方法を適用することにより良好な結晶質半導体膜を形成することができ、このような半導体膜を用いてTF Tを作製することにより、特性のよいTF Tを作製することができる。また、本発明を適用して、駆動回路と画素部とで求められる特性の異なるTF Tを作りわけることができ、良好な表示ができる発光装置を完成させることができる。

【0145】(実施例4)本実施例では、実施例3と異なる発光装置の作製工程の一例について図18を用いて説明する。

【0146】本発明を適応して実施例3のように、第1の層間絶縁膜618を形成する。続いて、第2の層間絶縁膜701を形成する。第2の層間絶縁膜としては、無機絶縁物材料を1.0~2.0μmの平均膜厚で形成すればよい。無機樹脂材料としては、酸化シリコン膜または酸化窒化シリコン膜を公知のスパッタ法またはプラズマCVD法を用いて形成すればよい。さらに窒化酸化シリコン膜を用いる場合は、プラズマCVD装置によって、原料ガスにSiH₄とN₂Oを用いて、成膜条件は、圧力0.3torr、基板温度400℃、RF出力100W、原料ガス流量はSiH₄は4sccm、N₂Oは400sccmで形成すればよい。また、第2の層間絶縁膜としてSOG膜を用いてもよい。さらに、第2の層間

絶縁膜は、アクリル等の有機絶縁膜を用いて作製してもよい。

【0147】なお、第2の層間絶縁膜を無機絶縁膜を用いて作製した場合は、第2の層間絶縁膜の表面をCMP (Chemical Mechanical Polish: 化学機械研磨) 法と呼ばれる技術で層間絶縁膜を研磨し平坦化するのが好ましい。CMP法は、被加工物の表面を基準にし、それにならって表面を化学的または機械的に平坦化する手法である。一般的に定盤 (Platen or Polishing Plate) の上に研磨布または研磨パッド (本明細書では、以下総称してパッド (Pad) と呼ぶ) を貼り付け、被加工物とパッドとの間にスラリーを供給しながら定盤と被加工物とを各々回転または揺動させて被研磨物の表面を化学・機械の複合作用により被加工物の表面を研磨する方法である。なお、CMP法による平坦化処理工程が終了した後に、第2の層間絶縁膜701の平均膜厚が1.0~2.0 μ m程度になるようにする。

【0148】続いて、実施例3に従い、第3絶縁膜702、第4絶縁膜703を形成する。窒化シリコンまたは酸化窒化シリコンから成る第4絶縁膜703は、有機化合物層706に含まれるアルカリ金属や有機物の汚染からTFTの主要構成要素である半導体膜を保護する役割および、酸素や水分によって劣化する有機化合物層706を保護する役割を果たしている。

【0149】次いで、第4絶縁膜703上に透明性導電膜を80~120nmの厚さで形成し、エッチングすることによって陽極704を形成する。なお、本実施形態では、透明電極として酸化インジウム・スズ (ITO) 膜や酸化インジウムに2~20[%]の酸化亜鉛 (ZnO) を混合した透明導電膜を用いる。

【0150】続いて、隔壁層705を形成するために、レジスト、ポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン)、酸化珪素膜等の膜を形成する。隔壁層は絶縁性を有する物質であれば、有機物と無機物のどちらでも良い。なお、感光性アクリルを用いて隔壁層を形成する場合は、感光性アクリル膜をエッチングしてから180~350℃で加熱処理を行うのが好ましい。また、非感光性アクリル膜を用いて形成する場合には、180~350℃で加熱処理を行った後、エッチングして隔壁層705を形成するのが好ましい。また、酸化珪素膜を用いる場合には、CVD法などによって成膜すればよい。

【0151】次いで、陽極704および隔壁層705上に有機化合物層706、陰極707を蒸着法により形成する。なお、本実施形態では発光素子の陰極としてMgAg電極を用いるが、公知の他の材料であっても良い。なお、有機化合物層706は、発光層の他に正孔注入層、正孔輸送層、電子輸送層、電子注入層及びバッファ層といった複数の層を組み合わせることで積層することにより形成されている。なお、有機化合物層706の詳細な

構造は任意なものとする。

【0152】このようにして陽極704、有機化合物層706および陰極707からなる有機発光素子708が形成される。

【0153】続いて、実施例3に従い、第5絶縁膜709をDLC膜等の絶縁膜を形成する。このようにして、図18に示すような、隔壁層がテーパー形状の発光装置を作製することができる。

【0154】以上のように、本発明のゲッタリング方法を適用することにより良好な結晶質半導体膜を形成することができ、このような半導体膜を用いてTFTを作製することにより、特性のよいTFTを作製することができる。また、本発明を適用して、駆動回路および画素部において、特性の異なるTFTを作りわけることができ、良好な表示ができる発光装置を完成させることができる。

【0155】(実施例5) 本実施例では、本発明を適用して作製されたTFTの信頼性および電気特性を測定した結果を示す。

【0156】図19(A)は、nチャネル型TFTの信頼性を測定した結果である。

【0157】本出願人は、信頼性の評価を10年保証電圧を調べることで評価している。なお、10年保証電圧とはTFTの移動度の最大値 ($\mu_{FE(max)}$) が10%変動するまでの時間を寿命としたとき、ストレス電圧の逆数を片対数グラフにプロットして、得られる直線的な関係より、寿命が10年であるストレス電圧を推定して求めている。本発明を適用して作製されたTFT (駆動回路) に関して測定を行ったところ、図19(A)で示すように、10年保証電圧は Lov の長さが1.0 μ mの時に17.7V、 Lov の長さが1.7 μ mの時に19.0Vと高い信頼性を示した。

【0158】また、図19(B)に本発明を適用して作製されたTFTの I_d-V_g 曲線を示す。測定は、ソース電圧 (V_s) は0V、ドレイン電圧 (V_d) は、1Vまたは14Vとして行った。実測値は、画素TFTはチャネル長 (L) が4.5 \times 2 μ m、チャネル幅 (W) が3 μ mである。

【0159】画素TFTは、オフ電流 (I_{off}) が1pA以下に抑えられており、 V_g が高い時の I_{off} の跳ね上がりが抑えられていた。また、電界効果移動度も100~130 (cm^2/Vs)、 S 値0.174~0.185 (V/dec) という良好な特性を得ることができた。

【0160】以上の結果により、本発明を適用することにより、信頼性が高く、求められる性能が得られるTFTを工程数を増やさずに作りわけることができることがわかる。

【0161】(実施例6) 本発明を実施して形成されたCMOS回路や画素部はアクティブマトリクス型液晶ディスプレイ (液晶表示装置) に用いることができる。即

ち、それら液晶表示装置を表示部に組み込んだ電気器具全てに本発明を実施できる。

【0162】その様な電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図11、図12及び図13に示す。

【0163】図11（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。

【0164】図11（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。

【0165】図11（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。

【0166】図11（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。

【0167】図11（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0168】図11（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。

【0169】図12（A）はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。

【0170】図12（B）はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。

【0171】なお、図12（C）は、図12（A）及び図12（B）中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図12（C）中において矢

印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0172】また、図12（D）は、図12（C）中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図12（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0173】ただし、図12に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の液晶表示装置の適用例は図示していない。

【0174】図13（A）は携帯電話であり、3001は表示用パネル、3002は操作用パネルである。表示用パネル3001と操作用パネル3002とは接続部3003において接続されている。接続部3003における、表示用パネル3001の表示部3004が設けられている面と操作用パネル3002の操作キー3006が設けられている面との角度 θ は、任意に変えることができる。さらに、音声出力部3005、操作キー3010、電源スイッチ3007、音声入力部3008、アンテナ3009を有している。

【0175】図13（B）は携帯書籍（電子書籍）であり、本体3101、表示部3102、3103、記憶媒体3104、操作スイッチ3105、アンテナ3106等を含む。

【0176】図13（C）はディスプレイであり、本体3201、支持台3202、表示部3203等を含む。

【0177】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施形態1～4、実施例1、2を組み合わせても実現することができる。

【0178】

【発明の効果】以上のように結晶化を促進する触媒元素を用いた低温での加熱処理により得られた結晶質半導体膜から触媒元素を除去する方法に関する第1の問題は、本発明の希ガス元素を用いたゲッタリング方法を用いることにより、効果的に触媒元素を半導体膜から除去または濃度の低減をすることができ、解決することができる。また、ゲッタリングに用いる希ガス元素は、半導体膜中において不活性であるため、TFETのしきい値電圧を変動させるなどの悪影響を及ぼすことがない。

【0179】また、画素部や駆動回路の駆動条件にみあったTFETの構造を作り分けようとすると製造工程が複雑化するという第2の問題は、本発明によれば同一基板

上にLDD構造の異なるnチャネル型TFTとpチャネル型TFTとを6枚のフォトリソで形成することができるため、解決することができる。このようなアクティブマトリクス基板を用いて液晶表示装置や、同一基板上に発光層を有する表示装置を形成することができる。フォトリソ数の低減は生産性の向上をもたらすが、本発明はそればかりでなく、上述のようにnチャネル型TFTのLDD構造を最適化することによりアクティブマトリクス基板の信頼性と動作特性を同時に向上させることができる。

【0180】さらに第1の問題を解決する第1の本発明および第2の問題を解決する第2の本発明を併せて適用すれば、第1の問題および第2の問題を同時に解決することができ、十分に触媒元素の濃度を低減した半導体膜を活性層に用いることでTFTの特性が向上し、本発明で開示された方法でこのTFTを作製することにより高い性能を有する半導体装置、液晶表示装置を実現することができる。

【図面の簡単な説明】

- 【図1】 本発明の実施の形態の一例を示す図。
 【図2】 本発明の実施の形態の一例を示す図。
 【図3】 本発明の実施例を示す図。
 【図4】 本発明の実施例を示す図。
 【図5】 本発明の実施例を示す図。
 【図6】 本発明の実施例を示す図。
 【図7】 本発明の実施の形態の一例を示す図。
 【図8】 本発明の実施の形態の一例を示す図。
 【図9】 半導体膜中に含まれるArの濃度を測定した

結果を示す図。

【図10】 本発明を適用して作製した発光装置の一例を示す図。

【図11】 本発明を用いて作製された液晶表示装置を表示部に用いた電気器具の一例を示す図。

【図12】 本発明を用いて作製された液晶表示装置を表示部に用いた電気器具の一例を示す図。

【図13】 本発明を用いて作製された液晶表示装置を表示部に用いた電気器具の一例を示す図。

10 【図14】 本発明の実施の形態の一例を示す図。

【図15】 本発明の実施例を示す図。

【図16】 本発明の実施例を示す図。

【図17】 本発明の実施の形態の一例を示す図。

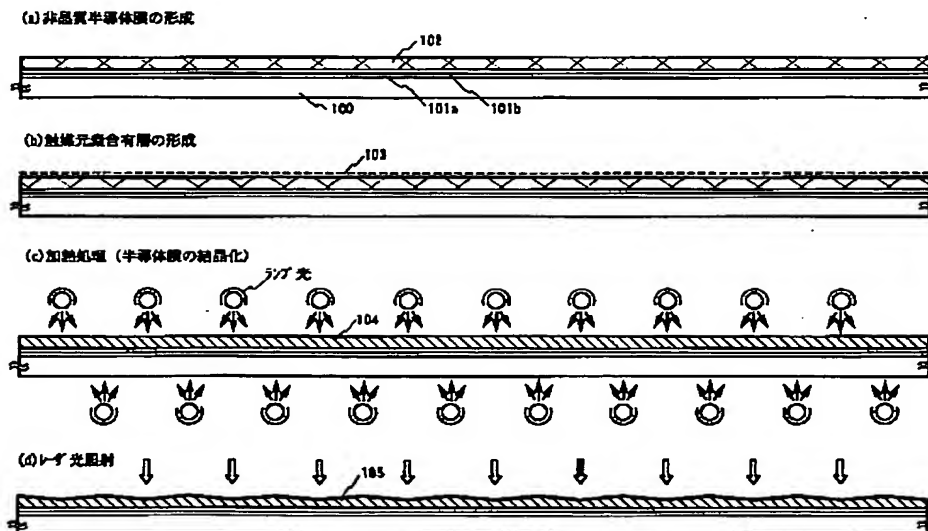
【図18】 本発明を適用して作製された発光装置の一例を示す図。

【図19】 本発明を適用して作製されたTFTの信頼性および特性を測定した結果を示す図。

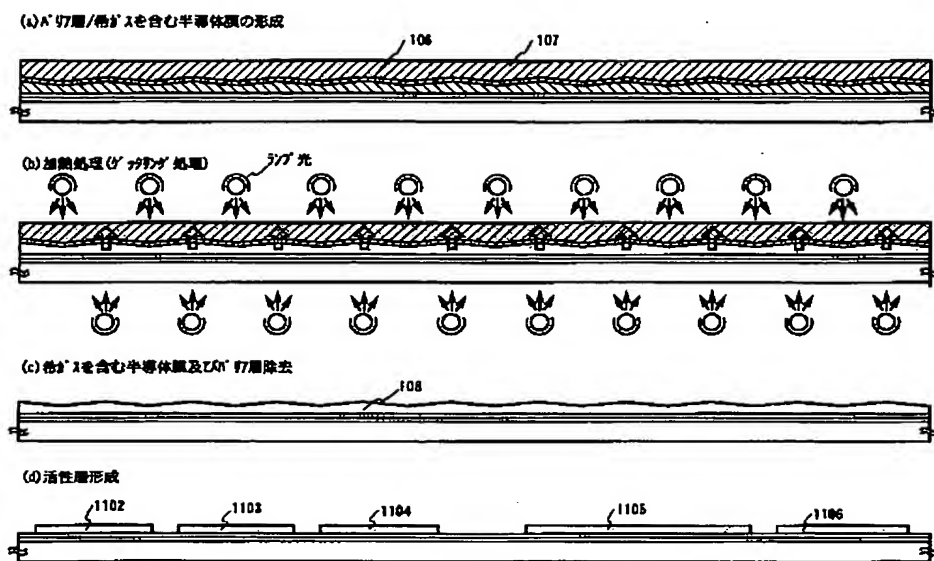
【符号の説明】

- 401 第1のnチャネル型TFT
 20 402 pチャネル型TFT
 403 第2のnチャネル型TFT
 1162、1165、1168 チャネル形成領域
 1163、1169 第2の不純物領域
 1164、1170 第3の不純物領域（ソース領域またはドレイン領域）
 1166 第4の不純物領域
 1167 第5の不純物領域

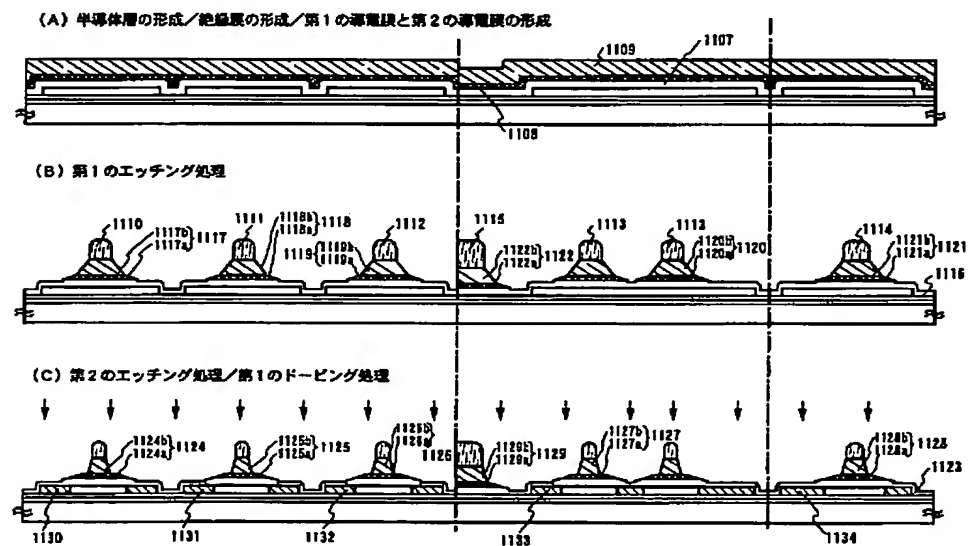
【図1】



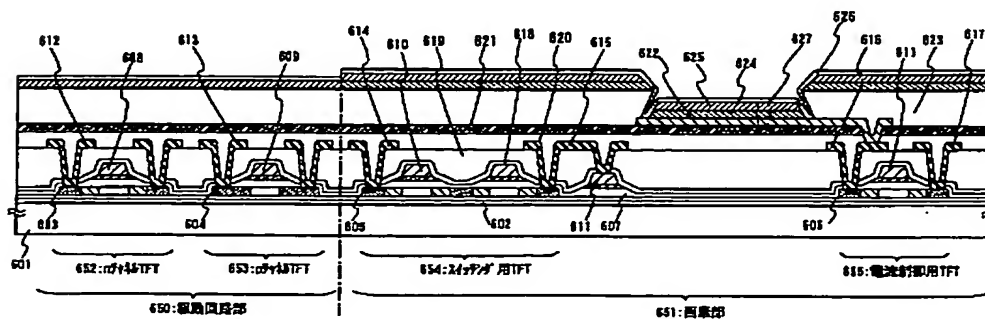
【図 2】



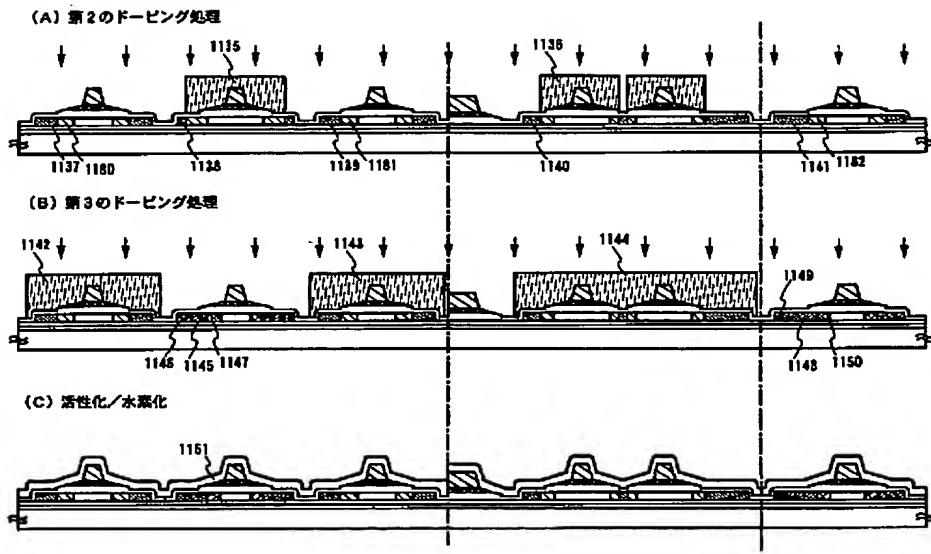
【図 3】



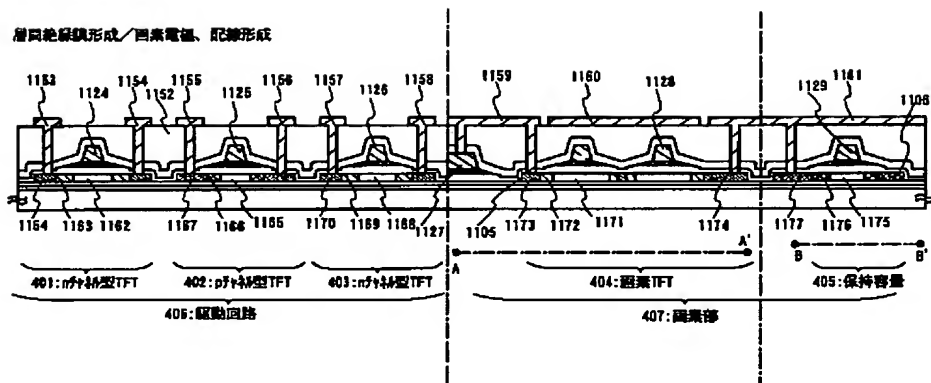
【図 10】



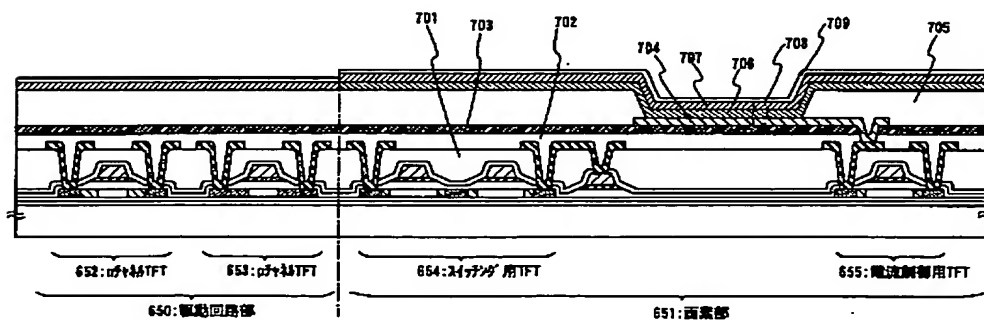
【図4】



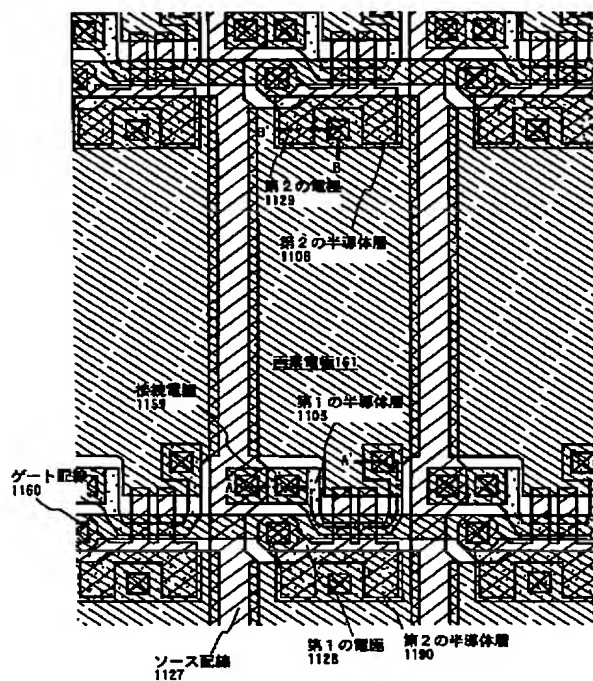
【図5】



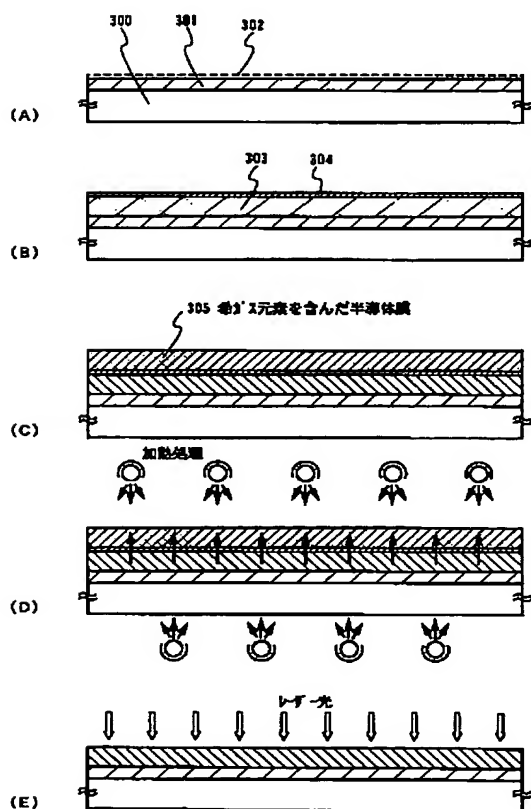
【図18】



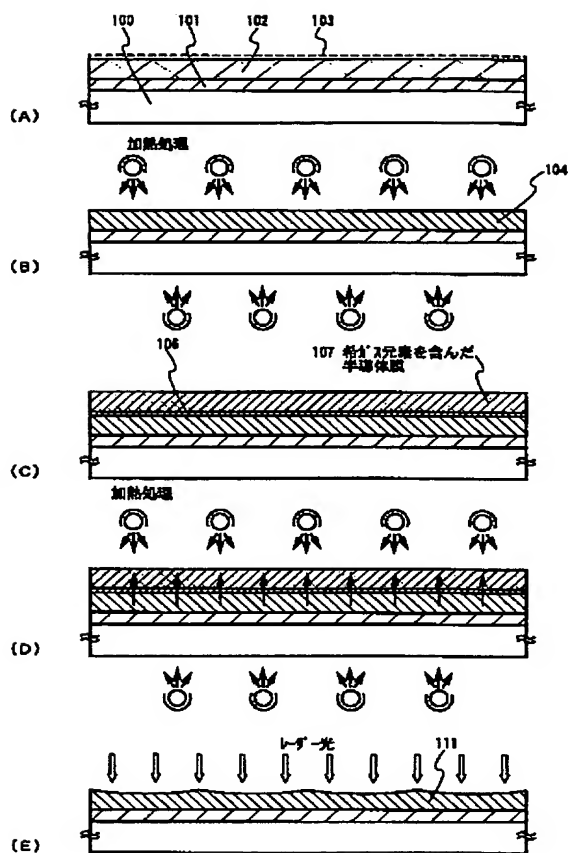
【图 6】



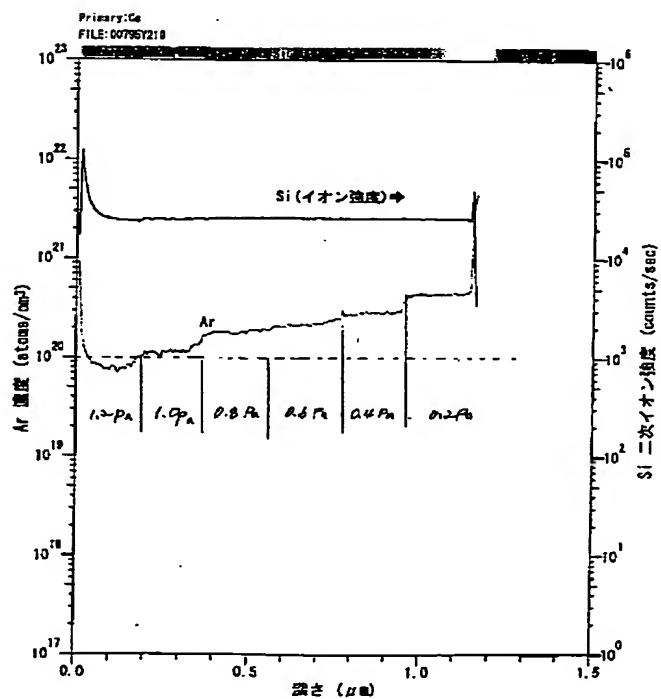
【图8】



【図 7】

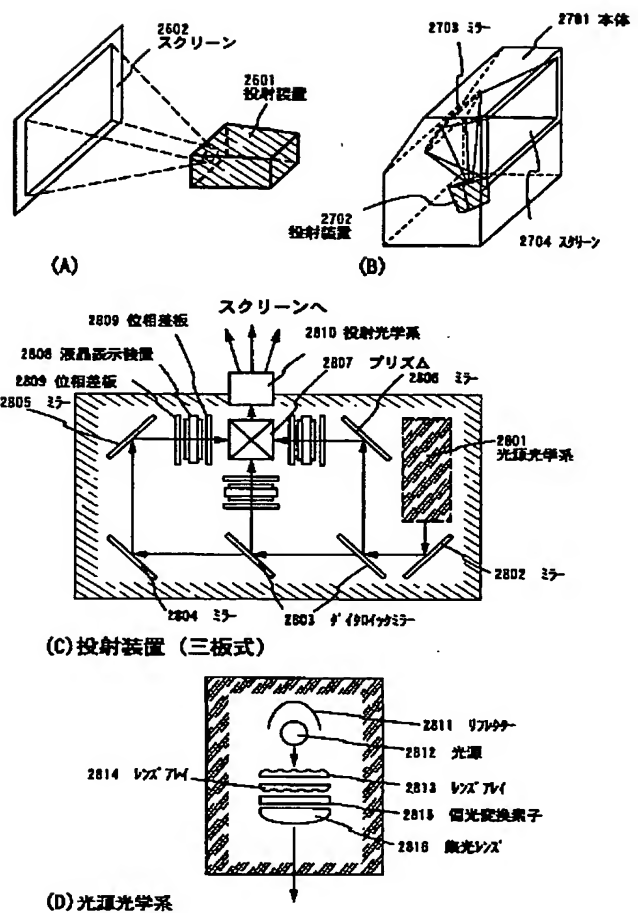
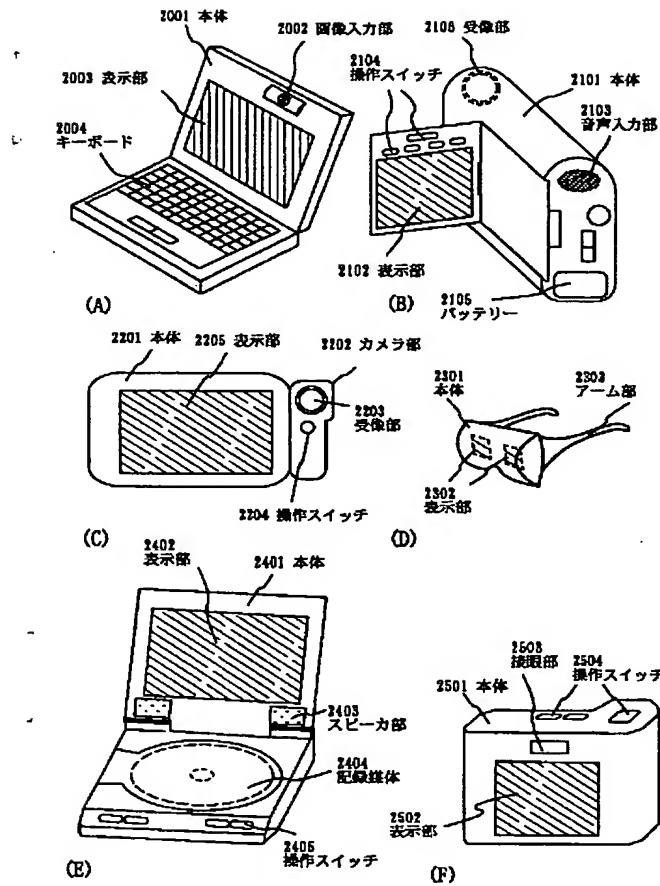


【図 9】

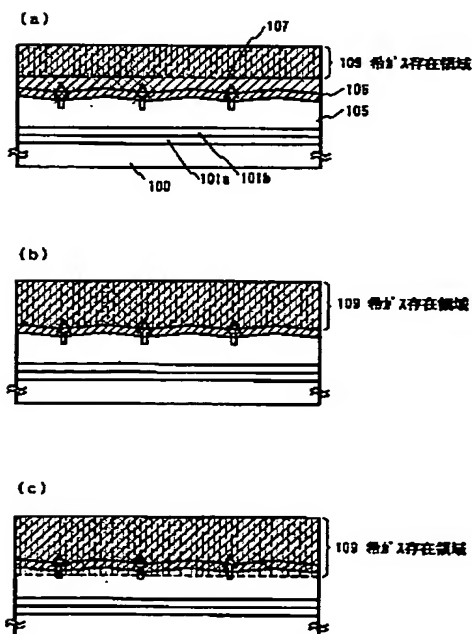


【図 11】

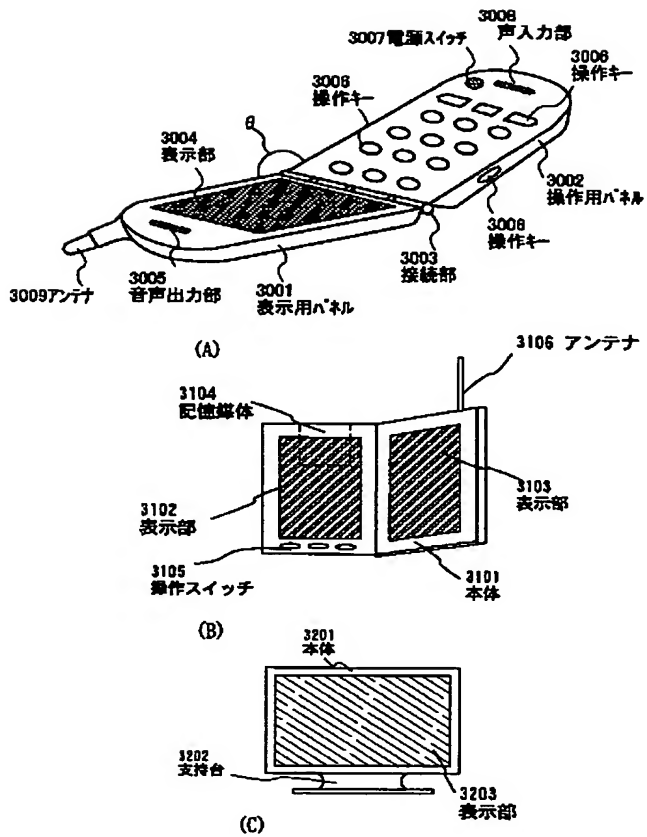
【図 12】



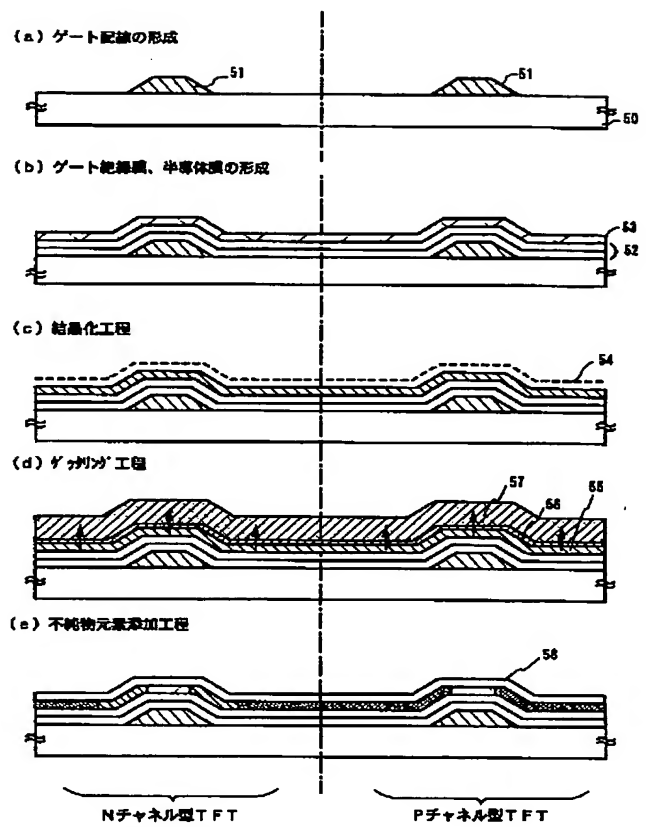
【図 14】



【図 13】



【図 15】

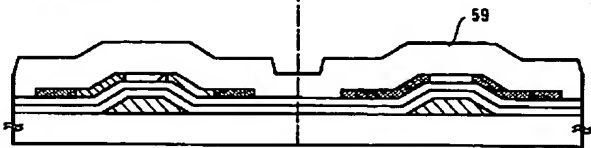


【図 16】

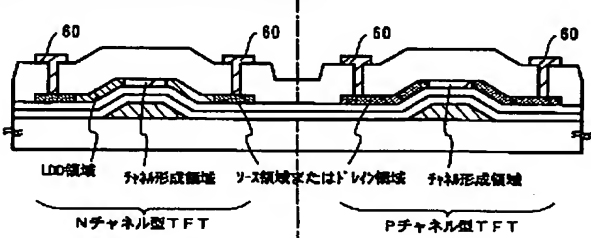
(a) 活性化工程



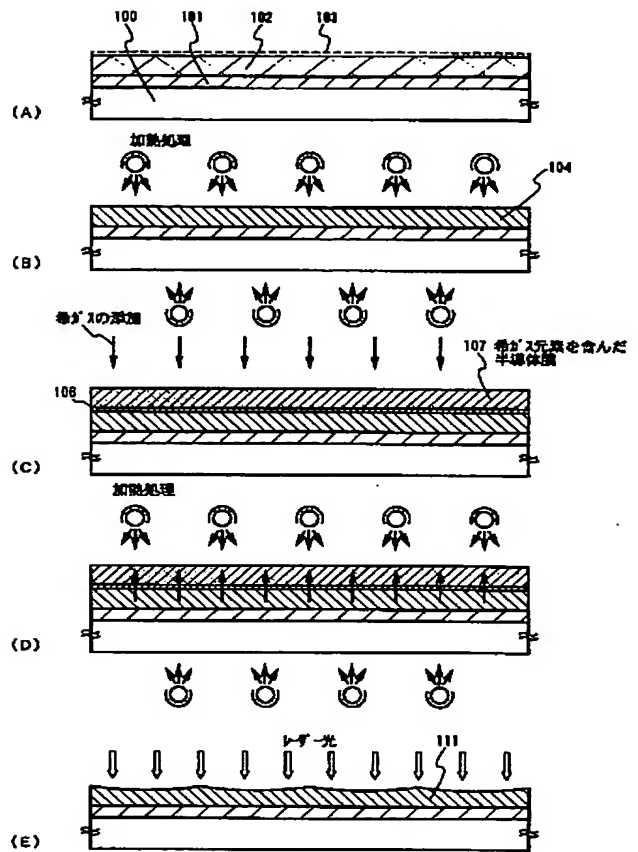
(b) 層間絶縁膜の形成工程



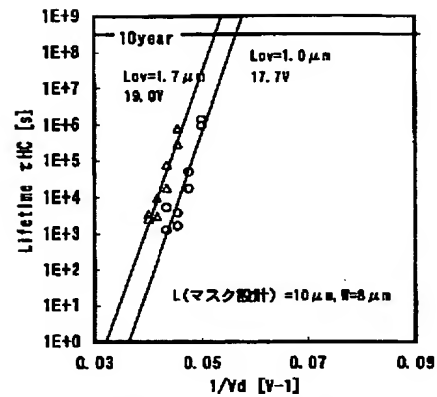
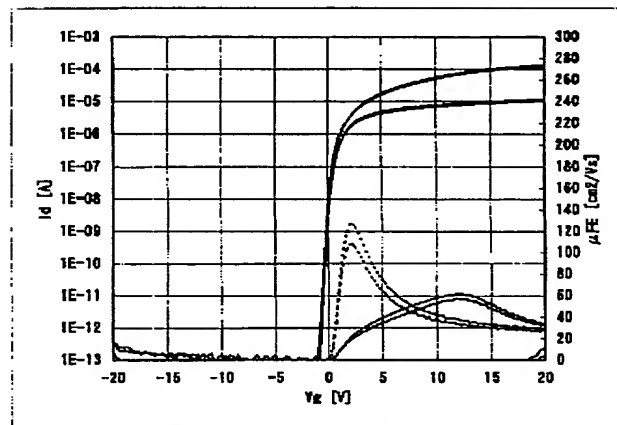
(c) ソース配線およびドレイン配線の形成工程



【図 17】



【図19】

(A) 推定保証電圧(オン電流10%劣化)の
Lov長依存性 (L/W=10/8 μm)

(B) 画素TFT静特性 (L/W=4.5×2/3 μm)

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 27/08	3 3 1	H 0 1 L 27/08	3 2 1 E
27/092		29/78	6 2 7 Z
29/786			6 1 3 A
			6 2 7 G

(72)発明者 中村 理
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 梶原 誠之
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 肥塚 純一
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 高山 徹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

F ターム(参考) 2H092 JA24 JA28 KA05 MA28 MA30
MA37 NA27
5F048 AC04 BA16 BC06
5F052 AA02 AA17 AA24 BA04 BA07
BB01 BB02 BB05 BB07 DA02
DA03 DB02 DB03 DB07 EA16
FA06 FA19 JA01
5F110 AA06 AA16 BB02 BB04 CC02
CC06 DD01 DD02 DD03 DD05
DD13 DD14 DD15 DD17 EE01
EE02 EE03 EE04 EE06 EE09
EE14 EE23 EE28 EE44 EE45
FF02 FF03 FF04 FF09 FF12
FF28 FF30 FF36 GG01 GG02
GG13 GG25 GG32 GG33 GG34
GG43 GG45 GG47 GG52 HJ01
HJ04 HJ12 HJ13 HJ23 HL03
HL04 HL06 HL11 HM15 NN02
NN03 NN04 NN22 NN23 NN24
NN27 NN34 NN35 NN72 NN78
PP01 PP02 PP03 PP04 PP06
PP13 PP26 PP29 PP34 PP35
PP38 QQ04 QQ05 QQ11 QQ28